

Óbudai Egyetem

Kandó Kálmán Villamosmérnöki Kar

Automatika Intézet



TUDOMÁNYOS DIÁKKÖRI DOLGOZAT

KÖZVETLEN DIGITÁLIS JELSZINTÉZIS (DDS) ALAPÚ JELGENERÁTOR ÉPÍTÉSE

Szerző: Huszár Péter

villamosmérnök BSc. szak, IV. évf.

Konzulens: Kún Gergely

Egyetemi tanársegéd

Budapest, 2013.

Jogi Nyilatkozat

Kijelentem, hogy a TDK dolgozat saját munkám eredménye, a felhasznált szakirodalmat és eszközöket azonosíthatóan közöltem. Az elkészült TDK dolgozatban található eredményeket az egyetem és a feladatot kiíró kar saját céljára térítés nélkül felhasználhatja, a titkosításra vonatkozó esetleges megkötések mellett. Kijelentem, hogy a feltöltött dokumentum megegyezik a nyomtatásban beadott TDK dolgozatommal. Tudomásul veszem, hogy a TDK dolgozatom plágium ellenőrzésen esik át, az egyetem könyvtára elektronikusan tárolja és archiválja azt, az általa működtetett digitális adattárban (ÓDA).

Tartalomjegyzék

1. Előszó.....	4
2. Közvetlen digitális jelszintézis.....	5
2.1 DDS-ek jellemző alkalmazása és előnyei.....	5
2.2 Egy DDS rendszer legmeghatározóbb jellemzői.....	6
2.2.1 Fázis zaj	6
2.2.2 Jitter	7
2.2.3 SFDR(Spurious-Free Dynamic Range)	7
3. DDS eszközök felépítése és működése	7
3.1 Fázis-akkumulátor és működése.....	8
3.2 Fázis-amplitúdó konverter működése.....	10
4. Tervező segédeszköz az Analog Devices honlapján	11
5. A fejlesztőkörnyezet	13
5.1 A DDS modulok és jellemzőik.....	13
5.1.1 A modulok aluláteresztő szűrőjének vizsgálata.....	17
5.1.2 Az AD9850 használata	19
5.1.3 Hangolószo és számítása	19
5.1.4 Kommunikáció az AD9850-nel	20
5.1.5 A soros kommunikáció létrehozása	21
5.1.6 A használt DDS modul egyéb kivezetései.....	23
5.2 Kezelőszervek.....	23
5.2.1 Enkóder.....	24
5.2.2 Az enkóder használata	25
5.2.3 Nyomógombok	27
5.3 Kijelzők	28
5.3.1 Az LCD kijelző.....	28
5.3.2 Csatlakoztatás és használat	29
5.3.3 A kijelző inicializálása.....	33
5.3.4 Státuszjelző leddek	34
5.4 Nyomtatott áramkör.....	34
5.5 Dobozolás, előlap és hátlap	37
6. Mérési eredmények	40

6.1 Kimeneti amplitúdó változás és frekvencia beállítási hiba	40
6.2 A és B csatornák torzításmentes dinamika tartománya	43
6.3 C és D csatornák vizsgálata	45
7. Összegzés	47
8. Summary	48
9. Forrás és ábra jegyzék	50

1. Előszó

A dolgozat fő témája egy Közvetlen Digitális Jelszintézis (DDS) alapú jelgenerátor készítésének leírása és a kapcsolódó háttér ismertetése. A dolgozatban bemutatom egy ilyen digitális jelelőállító rendszer felépítését és hibáit, legmeghatározóbb jellemzőinek mérését, a mérési eredmények értékelését, előnyeit (az igen kis fáziszaj, magas pontosság, fázisfolytonos frekvenciaállítás, integrált extra szolgáltatások, egyszerű kezelhetőség) és hátrányait (kvantálásból adódó hibák, számítási és kerekítési hibák). A legegyszerűbben beszerezhető DDS chip (AD9850) és főbb jellemzőinek általános leírását és vizsgálatát. Az AD9850 DDS chip mikrovezérlőhöz csatlakoztatását és működésre bírását.

A dolgozat második felében egy DDS chip alapú, kompakt, felhasználóbarát kb.: 30 MHz sávszélességű jelgenerátor tervezése kerül bemutatásra, a tervezés során igénybe vehető ingyenes, a gyártó (Analog Devices) által közzétett szoftverek használatának áttekintése. A használathoz szükséges, a mikrovezérlőbe épített szoftver egyes részeinek bemutatása, a DDS chippel való kommunikáció leírása. Egyéb szükséges perifériák áttekintése (enkóder a kívánt frekvencia beállításához, 2x16 karakteres LCD-kijelző a frekvencia kiírásához, státuszjelző led, amplitúdó és kitöltési tényező állító potméterek bekötése és használata).

Az elkészült eszköz dobozolása és végül paramétereinek bemérése kerül a dolgozatba.

2. KÖZVETLEN DIGITÁLIS JELSZINTÉZIS

Az első DDS eszközök az 1970-es években jelentek meg. Ezek egy ROM-ból és egy D/A konverterből álltak. A ROM-ban eltároltak egy digitalizált szinusz hullámot majd ezekből a tárolt mintákból a D/A konverterrel előállítottak egy analóg szinusz jelet.

A DDS egy olyan jel előállítási módszer, mely segítségével digitális bemeneti adatokkal hozhatunk létre analóg kimeneti jelalakokat. (Általában szinusz vagy négyszögjelet.) Egy DDS generátorban a műveletek főként digitális alakban hajtnak végre ami gyors és pontos váltást tesz lehetővé az egyes kimeneti frekvenciák, illetve jelalakok közt. A műveletek digitális volta ezzel együtt magával hozza a digitális technika előnyeit és hátrányait az analóg jelforrásokkal szemben.^[1]

2.1 DDS-EK JELLEMZŐ ALKALMAZÁSA ÉS ELŐNYEI

Napjainkban a digitális technika egyre népszerűbb az analóggal szemben annak számos előnye miatt. Egy ilyen jelforrást egyszerűbb hangolni és meg is tartja a beállításokat, nem érzékeny a környezeti hatásokra, olcsóbb. A technika fejlődésének hatására egyre nagyobb szükség van megbízható és pontos jelgenerátorokra. Eszközeink egyre kompaktabbak, méreteik csökkennek, előtérbe került a hordozhatóság is mint fontos szempont, ez pedig magával hozta az energiatakarékosságot, mint meghatározó jellemzőt. Ezek az áramkörök eleget tesznek mind a pontossági, energiatakarékossági és sokrétűségi követelményeknek melyeket a technika fejlődése diktál. Ezért alkalmazzák ezeket olyan széles körben. A kommunikációs rendszerek tervezése során elengedhetetlenek a gyors, azonnali válaszú jelforrások melyek kiváló fáziszajúak és alacsony SFDR-rel (lásd lentebb) rendelkeznek ezek mellett igen jó a hangolási felbontásuk is. A másik elterjedt alkalmazási területe a helyi oszcillátorok. Ez esetben PLL-ek referenciája ként alkalmazzák, hogy fokozzák annak hangolhatóságát és pontosságát. A DDS chipek közkedveltek számos előnyük miatt mint például a digitális programozhatóság, az előállított jelalak fázisa és frekvenciája egyszerűen változtatható anélkül, hogy akármilyen külső alkatrészt meg kellene változtatni. Ellentétben a hagyományos, analóg jelelőállítással. Lehetőség van a frekvencia valósidejű hangolására, például rezonancia frekvencia beazonosításához vagy hőmérséklet okozta elhangolódást is kompenzálhatunk.

Elterjedten használják olyan alkalmazásokban ahol állítható frekvencia forrásra van szükség, PWM jelek előállítására, vagy LAN és telefonkábelek csillapítás vizsgálatára. Rádiózásban VFO-ként. Nagy pontosságú pilot jelek előállítására. A több csatornás eszközöket többfázisú radarokhoz és szonárokhoz, automatikus tesztelőkhez, optikai távközlő berendezésekhez orvostechikai berendezésekhez.^[2]

Egy DDS eszköz előnyei:

- Digitálisan vezérelt frekvencia és fázis hangolás.
- Gyors, szinte azonnali és fázis folytonos reagálás a hangolószóban bekövetkezett változtatásokra túllövések és beállási idő nélkül.
- A digitális architektúra kizárja az alkatrészek öregedése vagy hőmérsékletváltozás okozta elhangolódást.
- Egyszerű és hatékony hangolás.
- A digitálisan vezérelhető interfész lehetővé teszi a távoli használatot is.
- Finom frekvencia felbontás.
- Széles sávú működés, 1Hz alatti frekvenciától egészen több száz megahertzig.
- Alacsony fogyasztás.
- Költséghatékonyság.

2.2 Egy DDS rendszer legmeghatározóbb jellemzői

- Fázis zaj
- Jitter
- SFDR (Spurious Free Dynamic Range)

2.2.1 FÁZIS ZAJ

Oszcillátorok rövid idejű frekvencia instabilitására jellemző mérőszám. Általában akkor jelentkezik, amikor egy oszcillátor jele periódust vált. Ilyenkor egy adott jel és az azt követő közt fáziseltérés jön létre így egy nem kívánatos fázis-modulációt hozva a rendszerbe, azaz zajt. Két zaj oldalsáv is keletkezik, de csak az egyik értékét szokás megadni dBc/Hz ben, ami arra utal, hogy a zaj értékét a vívó amplitúdójához viszonyítjuk 1Hz sáv szélességen. Egy ilyen mintavételezett rendszerben, mint a DDS kimeneti jel zaja sok tényezőtől függ, a referencia órajel jittere fázis zajként jelentkezik és a fáziscsonkolás is hibát hozhat a rendszerbe.^{[2][3]}

2.2.2 JITTER

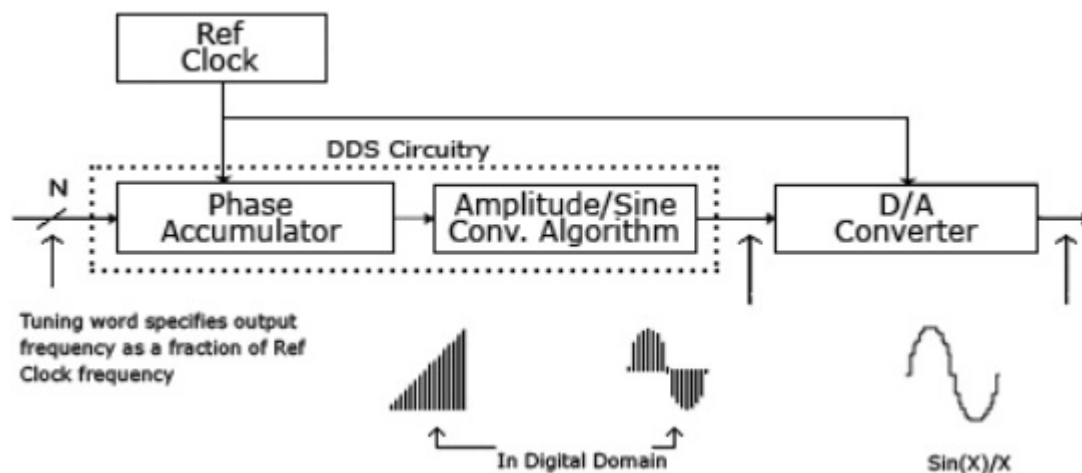
Digitális jel időzítésének remegéséből fakadó probléma. A jel nem az előre megadott időpontokban vált logikai 1-ről 0-ra, vagy fordítva, hanem attól eltérő időpontokban. Egy referencia órajel jittere komoly fázis zajhoz vezet a kimeneten.

2.2.3 SFDR(SPURIOUS-FREE DYNAMIC RANGE)

Zavarjel mentes dinamika tartomány. A kimeneten mért (A/D vagy D/A átalakítónál) legnagyobb teljesítményű zavarjel és az alapjel hányadosa dBc-ben kifejezve. Az AD9850 esetében ez 50 dB körüli érték 40 MHz kimeneti frekvencia esetén.

3. DDS ESZKÖZÖK FELÉPÍTÉSE ÉS MŰKÖDÉSE

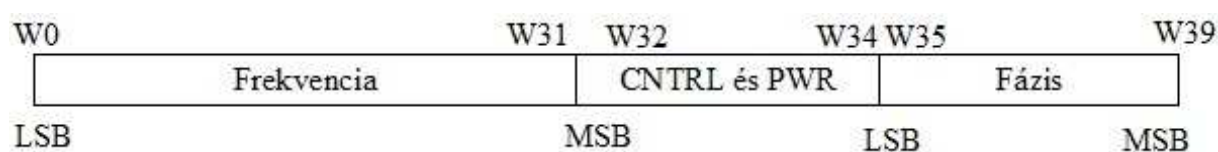
A következő ábra egy DDS eszköz felépítését, főbb alkotóelemeit szemlélteti. A fő alkotóelemek a fázis-akkumulátor, fázis-amplitúdó konverter, ami általában egy memóriaegységben tárolt kódtábla és egy D/A konverter. Az alul áteresztőszűrő nem kerül beintegrálásra, a felhasználónak magának kell kialakítani külső áramkörü elemek segítségével.



1. ábra: DDS architektúra^[3]

Az előállított jelalak frekvenciája függ a hangolószóától amit a DDS-nek küldünk és függ a rendszer órajelétől. A hangolószó belekerül a frekvencia regiszterbe, ami a fázis akkumulátor bemenetét szolgáltatja. Ha a fázis-amplitúdó konverter foglalt, akkor a fázis-akkumulátor kiszámít egy fázis címet a fázis-amplitúdó konverternek, mely kimenetén előáll az amplitúdó digitális értéke. Ez után a D/A konverter előállítja a digitális értéknek megfelelő

analóg jelet. Ahhoz hogy előállítsunk egy megadott frekvenciájú szinusz jelet minden órajel ciklusban egy megadott, állandó értékkel kell növelni a fázis-akkumulátorban tárolt értéket. (Ezt az értéket a hangolószó határozza meg). Ha ez az inkrementálás nagy akkor a fázis-akkumulátor gyorsan halad keresztül a tábla értékein és ez egy nagy frekvenciás jelet eredményez, ha az inkrementálás értéke kicsi akkor a fázis-akkumulátor több lépést fog tenni így egy alacsonyabb frekvenciájú jel fog előállni. A hangolószó általában 24...48 bit hosszú, ennek segítségével lehet beállítani a kívánt jel frekvenciáját, fázisát és alakját (szinusz, négyszög, háromszög). Az AD9850-nél ez 40 bit hosszúságú, ebből 32 bit a frekvenciát adja meg, 3 vezérlőbit, 5 pedig a fázist.^[2]

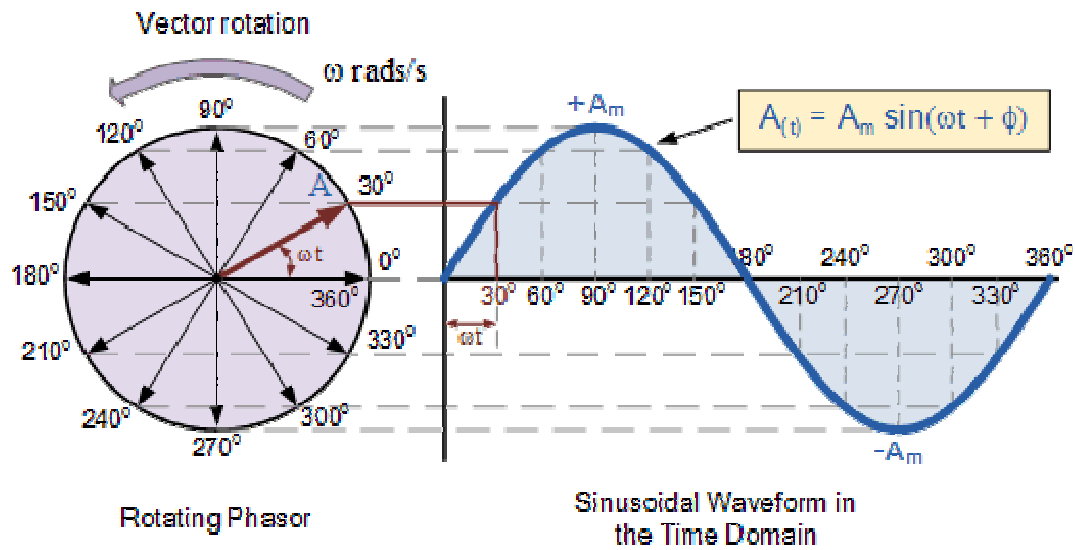


2. ábra A hangolószó felépítése ^[3]

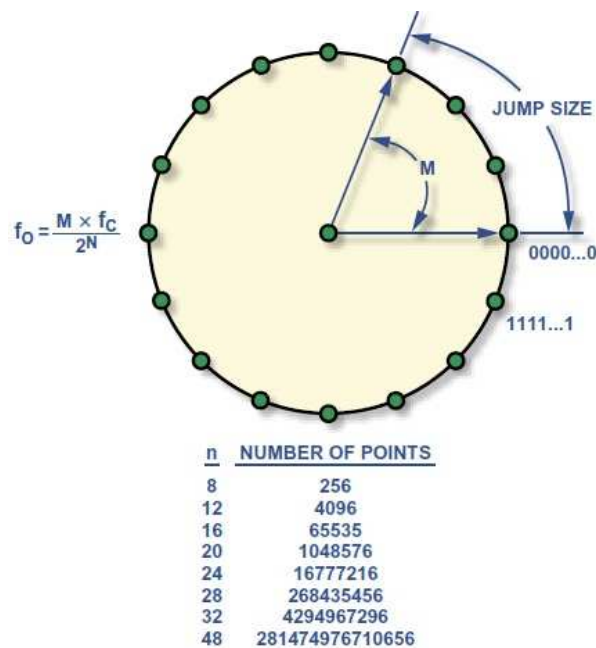
Ez a bitsorozat eljut a fázis akkumulátorba, majd onnan a fázis-amplitúdó konverterbe, mely valójában egy memória egység, amiben digitális formában előre el van tárolva a kívánt jelalak pontonként és csak meg kell hívni a hangolószóval a mintákat. Ez után a digitális mintasorozat egy D/A konverterbe kerül, mely analóg jellé alakítja azt. A nagyobb felbontású D/A konverter kisebb kvantálási zajt fog okozni.. A D/A konverter után a jelet egy alul áteresztő szűrőn kell átvezetni, hogy a nem kívánatos nagyfrekvenciás összetevőket kiszűrjük.^[3]

3.1 FÁZIS-AKKUMULÁTOR ÉS MŰKÖDÉSE

Az időben folyamatos szinusz hullámok fázisa 0-tól 2π -ig terjed és ismétlődik. A digitális megvalósítás sem különbözik ettől. A számlálók átvitele (carry) teszi lehetővé, hogy a fázis-akkumulátort fáziskörként lehessen használni egy DDS rendszerben. Képzeljünk el egy szinusz hullámot egy vektor forgása ként a fáziskörön. Az egyes kijelölt pontok megfelelnek egy szinusz hullám egyes pontjainak. Ahogy a vektort körben forgatjuk a fáziskörön előáll a pontokat összekötő szinusz hullám.^[2]

3. ábra A szinusz jel előállítása^[2]

A vektor egy állandó sebességű fordulata egy teljes hullámot eredményez. A fázis-akkumulátor biztosítja az egyenletes méretű ugrásokat a pontok közt. Tartalma megfelel a szinusz hullám megadott pontjainak. A fázis-akkumulátor valójában egy modulo-m számláló, mely növeli a benne tárolt értéket minden órajelel impulzusra. Az inkrementálás nagyságát a bináris hangolászó határozza meg. Ez adja meg hogy mekkora legyen az egyes órajelek ütemére történő lépések nagysága a pontok közt. Nagyobb ugrások esetében a fázis-akkumulátor hamarabb túlszordul és így gyorsabban áll elő a szinusz hullám.

4. ábra Fáziskör^[2]

A fáziskör pontjainak számát a fázis-akkumulátor felbontása (n) határozza meg, amely a hangolási felbontást is megadja. Egy $n=28$ bites fázis-akkumulátor 2^{28} -on darab órajel impulzus után csordul túl. Ha a hangolószó értéke eléri a 0111...1111-et akkor a fázis-akkumulátor két darab órajel ciklus elteltével túlcsordul. (Amennyiben betartjuk a Nyquist törvény minimumát.) Így a kimeneti frekvencia értéke kiszámítható az alábbi módon:

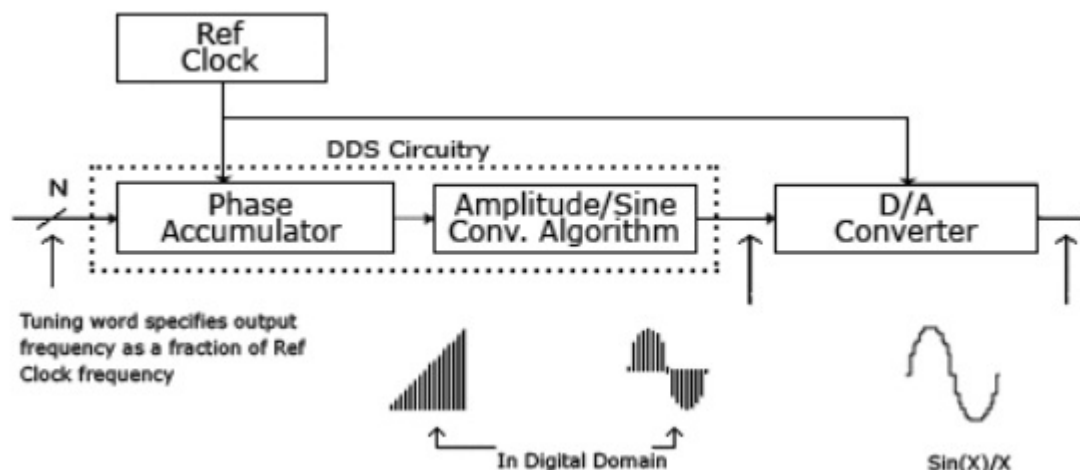
$$f_{out} = (\text{hangolószó} * f_c) / 2^n$$

A hangolószó megváltoztatása azonnali, folytonos fázisú változást eredményez a kimeneti frekvenciában. Nincs beállási ideje mint ahogy azt egy PLL-nél tapasztaljuk.

A kimeneti frekvencia növekedésével a ciklusonkénti minták száma csökken. A mintavételi törvény alapján a kimeneti jel előállításához legkevesebb két darab mintavételi pont szükséges, így egy DDS maximális kimeneti frekvenciája az órajel frekvencia fele lehet. [$f_{out} = f_c / 2$]. Azonban ezt a határt nem érdemes megközelíteni a kimeneti jel minősége érdekében, így a gyakorlatban a maximális kimeneti frekvencia az órajel egyharmada környékén szokott lenni. Mikor egy állandó kimeneti frekvenciát állítunk elő, akkor a fázis-akkumulátor kimeneti értéke lineárisan rámpa szerűen növekszik és a kimeneti analóg jel ebből áll elő a fázis-amplitúdó konverteren és a D/A-n keresztül.^[2]

3.2 FÁZIS-AMPLITÚDÓ KONVERTER MŰKÖDÉSE

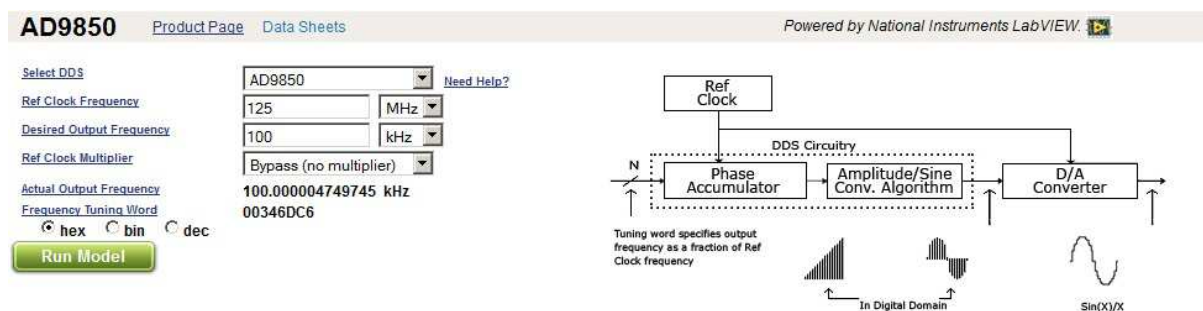
Ez a konverzió az előbb ismertetett fázis-akkumulátor, rámpaszerű, lineárisan növekvő értékű pillanatnyi kimeneti értékét használja fel bemenetként. Elsőként végrehajt egy csonkolást, amely során a legkisebb helyi értékű biteket levágja, majd a konverzió után a digitalizált szinusz hullám a D/A bemenetére kerül. A csonkolásra azért van szükség, mert a D/A általában 10 bit felbontású, miközben a csonkolt bitsorozat 20...30 bit is lehet. A DDS architektúra kihasználja a szinusz hullám szimmetrikus jellegét így a fázis-amplitúdó konverter memória táblájába csak egy negyed szinusz hullám mintái vannak eltárolva. A teljes hullám előállítását úgy végzi el, hogy a tábla olvasásakor oda-vissza halad, azután újra csak a mintasorozatot negálja.



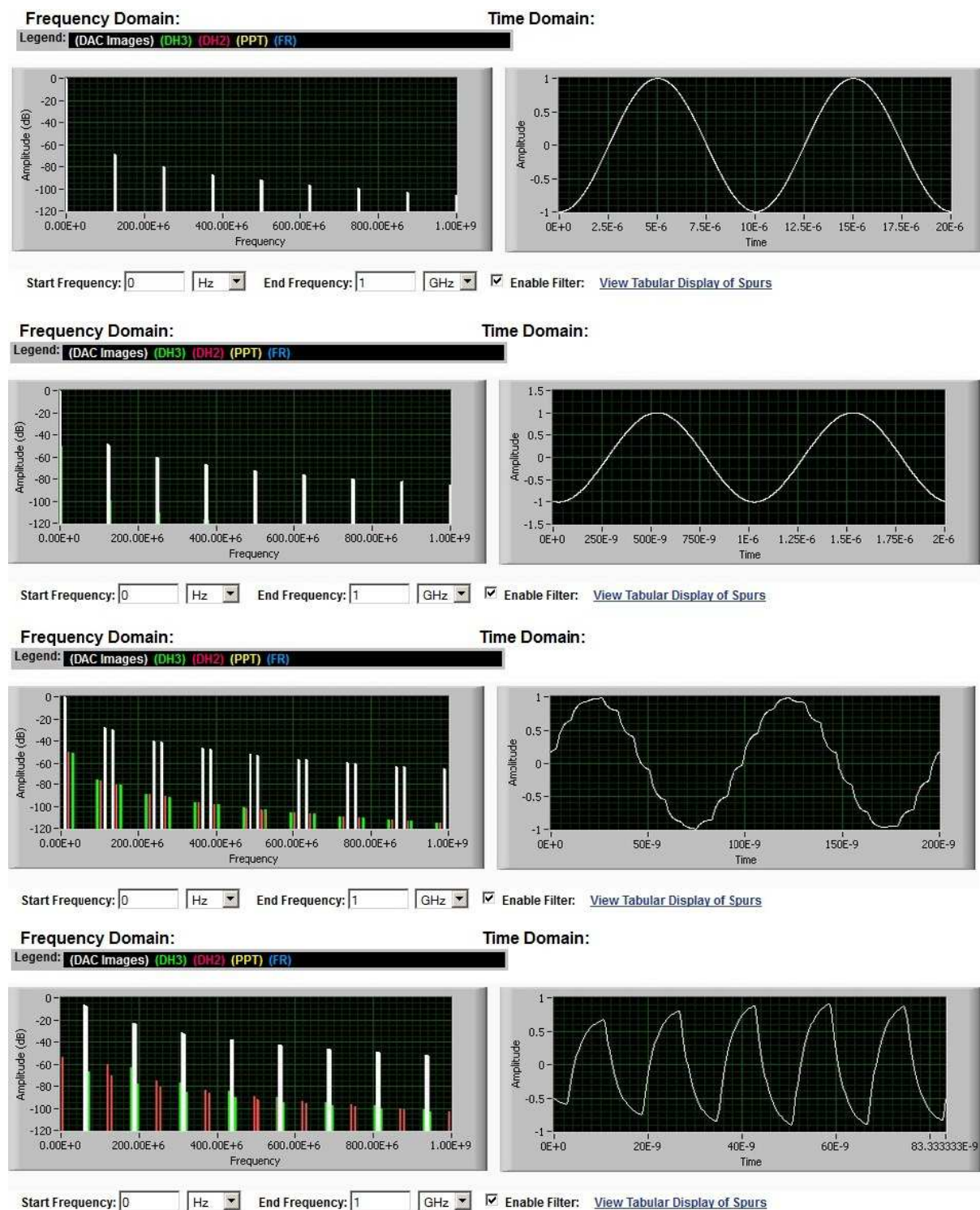
5. ábra AD9850 architektúrája

4. TERVEZŐ SEGÉDESZKÖZ AZ ANALOG DEVICES HONLAPJÁN

Az Analog Devices által közzétett tervezőprogram segítséget nyújt a megfelelő hangolószo megtalálásában, a rendszer órajel, a kezdőfázis és a kívánt kimeneti frekvencia ismeretében. Ezen kívül meg is tudjuk tekinteni leendő kimeneti jelünk alakját és spektrumát is. A program az Analog Devices honlapján érhető el.^[*] A most következő képek a szoftver előrejelzései a kimeneti jelle, közvetlenül a D/A konverter után vizsgálva azt.

6. ábra Tervező segédprogram^[*]

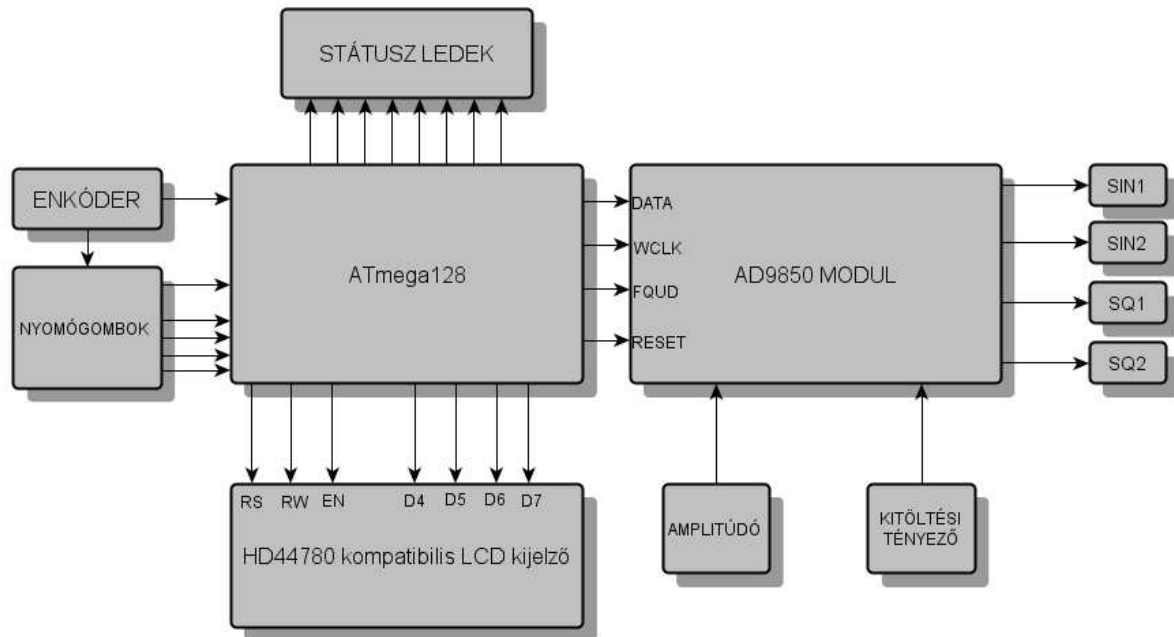
Ezen a képen látható a kezelőfelület, egy legördülő menüből ki kell választani a megfelelő DDS IC-t, a referencia órajelet és alatta lehet változtatni a kívánt kimeneti frekvenciát. Ha mindez megvan a zöld „Run Model” gombra kattintva elkészül a szimulációnk és a hangolószo is kiszámításra kerül. Elvégeztem néhány előzetes szimulációt a program segítségével. A kimeneti frekvenciát először 100 KHz-re majd 1MHz-re, 10 MHz-re és végül 60 MHz-re változtattam. Jól megfigyelhető a kimeneti jelalakok romlása és a nemkívánatos frekvencia összetevők spektrumvonalainak növekedése.



7. ábra Analog Devices szimulátor eredményei $f=100\text{kHz}$, 1MHz , 10MHz , 60MHz [*]

Az utolsó ábrán a kimentí frekvencia már 60 MHz. A program 62.5 MHz-nél feljebb már nem is enged, mivel ez a referencia órajel fele, figyelmeztető üzenetet ad csak.

5. A FEJLESZTŐKÖRNYEZET



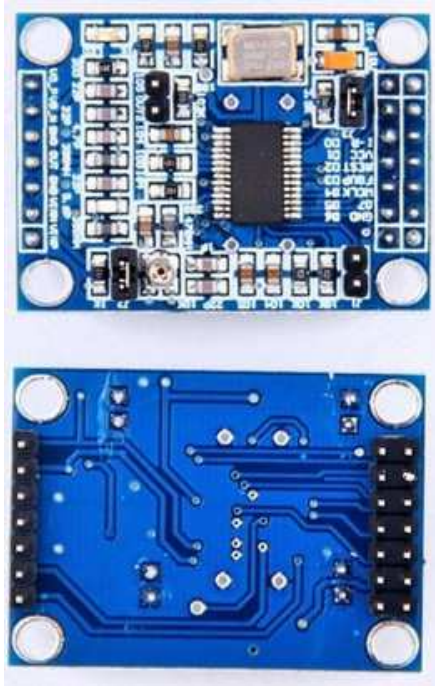
8. ábra A fejlesztőkörnyezet blokkvázlata

Az egyes blokkok működéséről és használatáról a továbbiakban részletesen lesz szó.

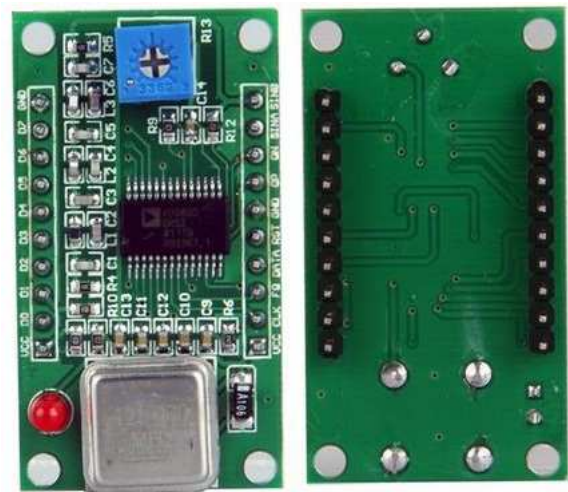
5.1 A DDS MODULOK ÉS JELLEMZŐIK

Az internetes vásárlás elterjedésének és Kína ipari fejlődésének köszönhetően ma már elég egyszerű beszerezni ritkaságnak számító alkatrészeket. Sokszor igen kedvező árral, még a nagy távolságból adódó postaköltség ellenére is vonzó ajánlatokat tudnak nyújtani egyes internetes kereskedelmi oldalak. Igen gyakran szembesülök azzal a ténnyel, hogy egyes kínai integrált áramkörök nyáklappal és több más áramköri elemmel együtt szerelve, modulként jóval olcsóbban beszerezhetők, mint az adott chip az azt gyártó cégtől közvetlenül. Így a felhasználónak pénzt és időt megspórolva. Általában még válogatni is lehet különböző specifikációjú előszerelt modulokból. Felmerülhet az emberben a kétely, hogy ezek valószínűleg hamisítványok, rosszabb minőségűek, esetleg egyáltalán nem is működnek. Tesztelés céljából rendeltem két különböző eladótól két különböző típusú DDS modult de mind a kettőn AD9850 chip van tehát csak a kiszolgáló áramköri elemek és a nyákok mások.

Ezek voltak az eladások szerint is a legnépszerűbbek. Természetesen mind a kettő kínai eladótól kínai minőséggel. Az előzetes tesztek alapján mindkettő működött az adatlapoknak megfelelően. A minőségük is elfogadható. Hogy hamisítványok-e az AD9850 chippek ? Igen. Van rá esély, mivel a két chipen a szitázás eltérő, sőt az Analog Devices márkajelzése, az egyenlő oldalú háromszög, inkább egyenlő szárú és kevesebb adat is került erre a chipre mint a másakra. ^{[5][10][11]}



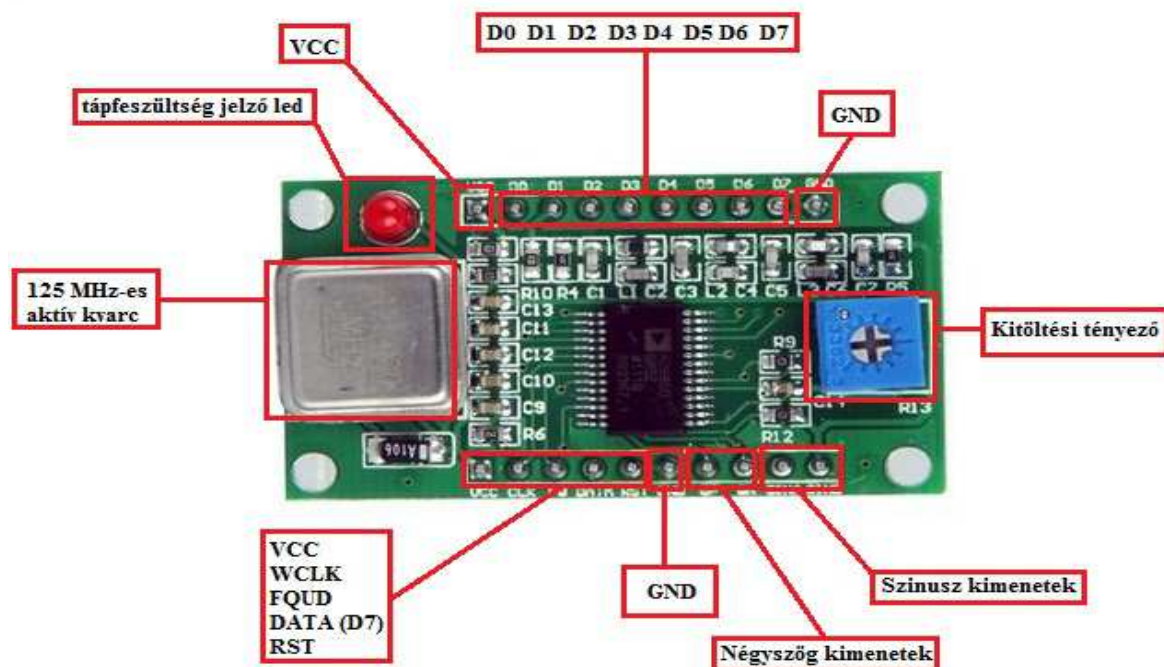
9. ábra AD9850 modul



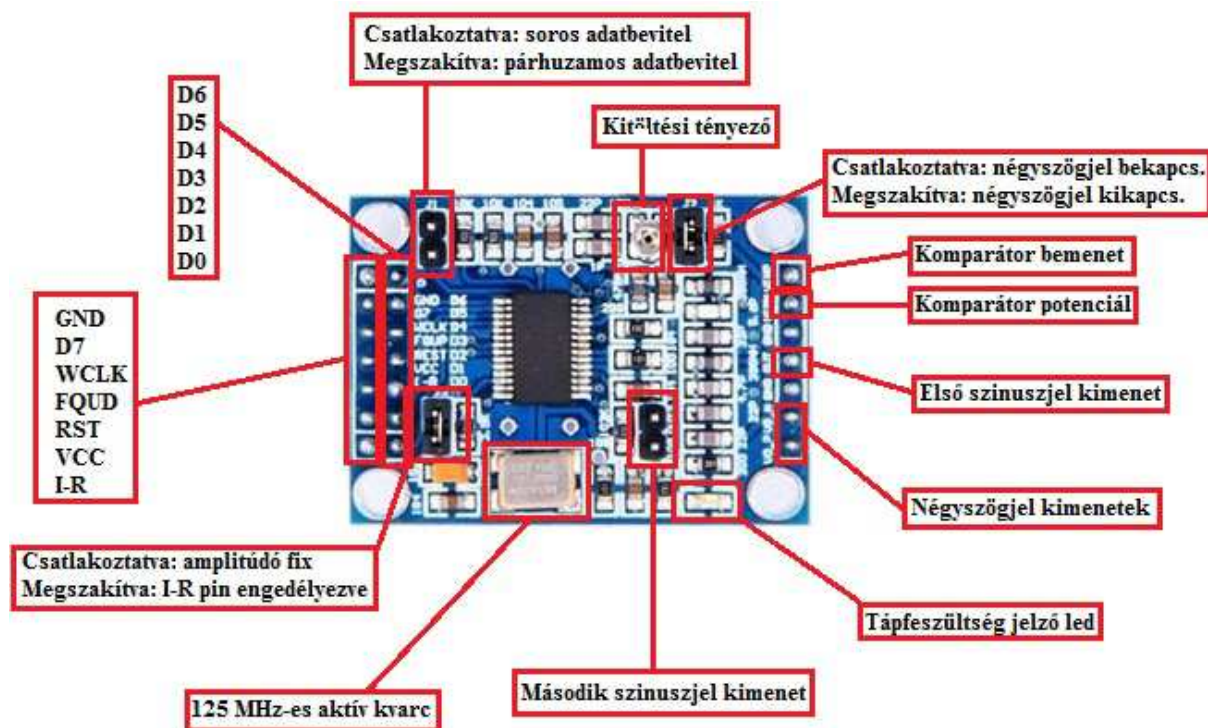
10. ábra AD9850 modul

Több közös tulajdonságuk is van a moduloknak. Mindkettőben AD9850 DDS chip van mint már említettem (az eladó szerint, ezt az információt fenntartásokkal kezelem). Mindkettőn van egy-egy 125 MHz-es aktív kvarc oszcillátor is referencia órajelként. Megtalálható rajtuk a négy-négy kimenet kivezetve, két négyszög és két szinusz. Van rajtuk egy-egy aluláteresztő szűrő az egyik szinusz kimeneten, az eladók szerint 70 MHz a törési frekvenciájuk. Ezt a későbbiekben szimulációval vizsgálom. Továbbá található rajtuk az integrált komparátor komparálási szintjét változtató trimmer is, ami segítségével a kimentí négyszöggel kitöltési tényezőjét lehet állítani. A két modul láb kiosztása a következő ábrákon láthatóak. Az alsó kéket univerzálisabbnak, a láb kiosztását praktikusabbnak találtam. Azon kivezetésre került a komparátor bemenete és potenciálja is és az amplitúdó állítási lehetőség is praktikusabban van megoldva. Így a jelgenerátorba ez került beépítésre. Későbbi továbbfejlesztés kapcsán célszerű lenne egy olyan hordozó nyáklemez mely mindkettő típus

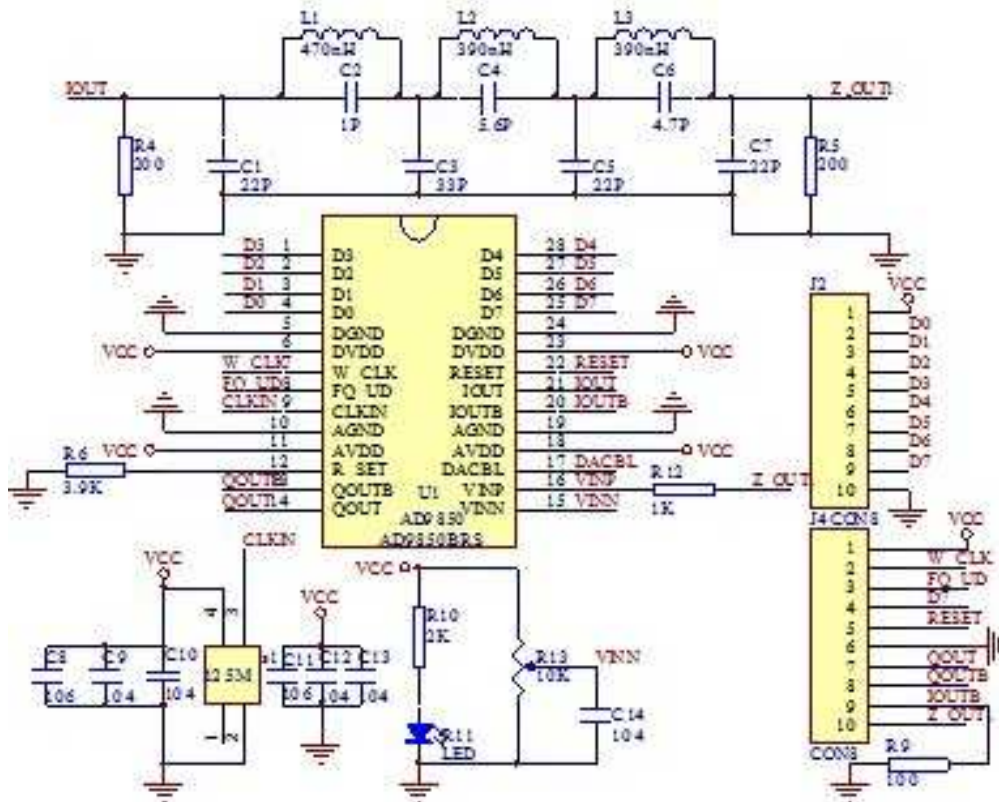
befogadását lehetővé teszi, lehetőleg egymástól független működéssel, így párhuzamosan két különböző kimeneti jel is előállítható lenne.



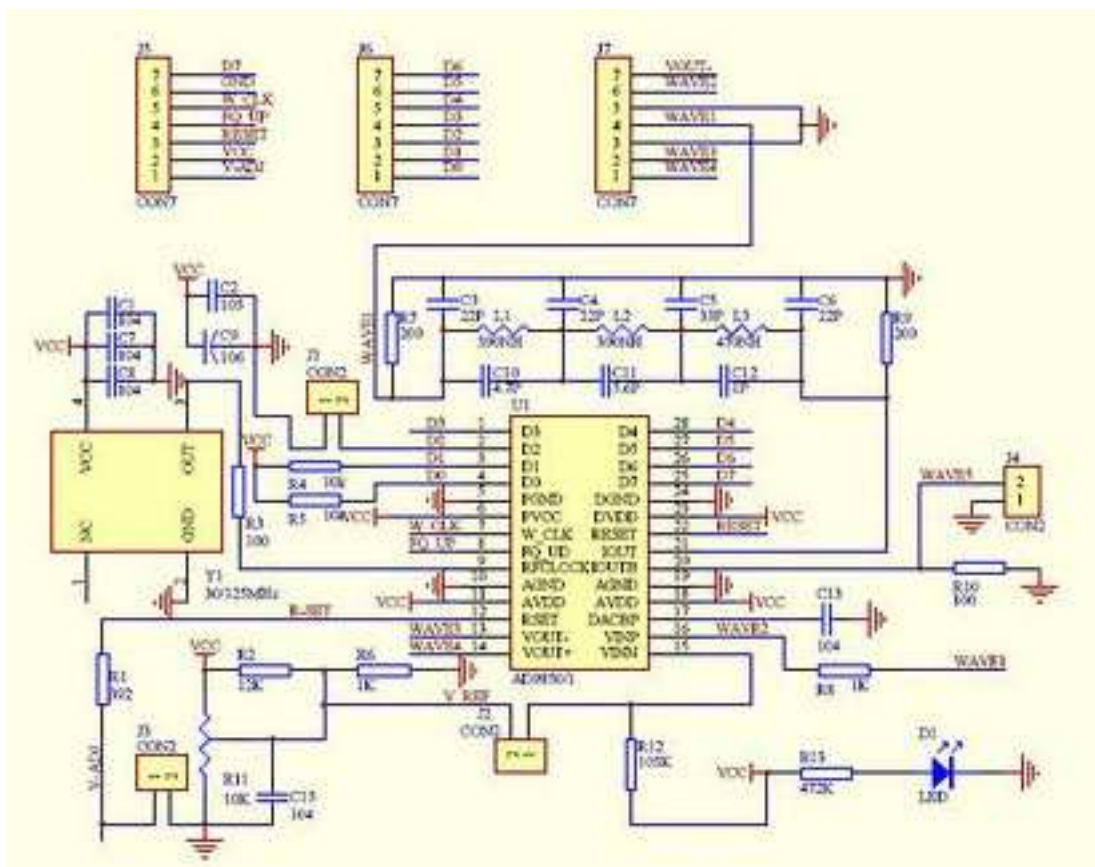
11. ábra AD9850 modul főbb részei^[10]



12. ábra AD9850 modul főbb részei^[11]



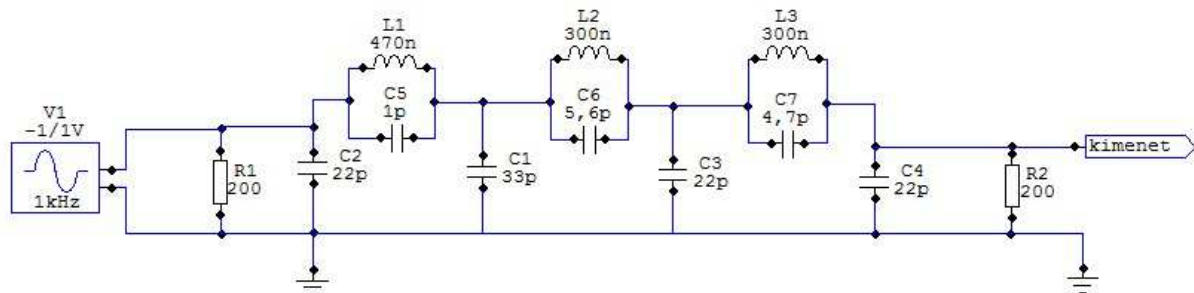
13. ábra A zöld AD9850 modul kapcsolási rajza



14. ábra A kék AD9850 modul kapcsolási rajza

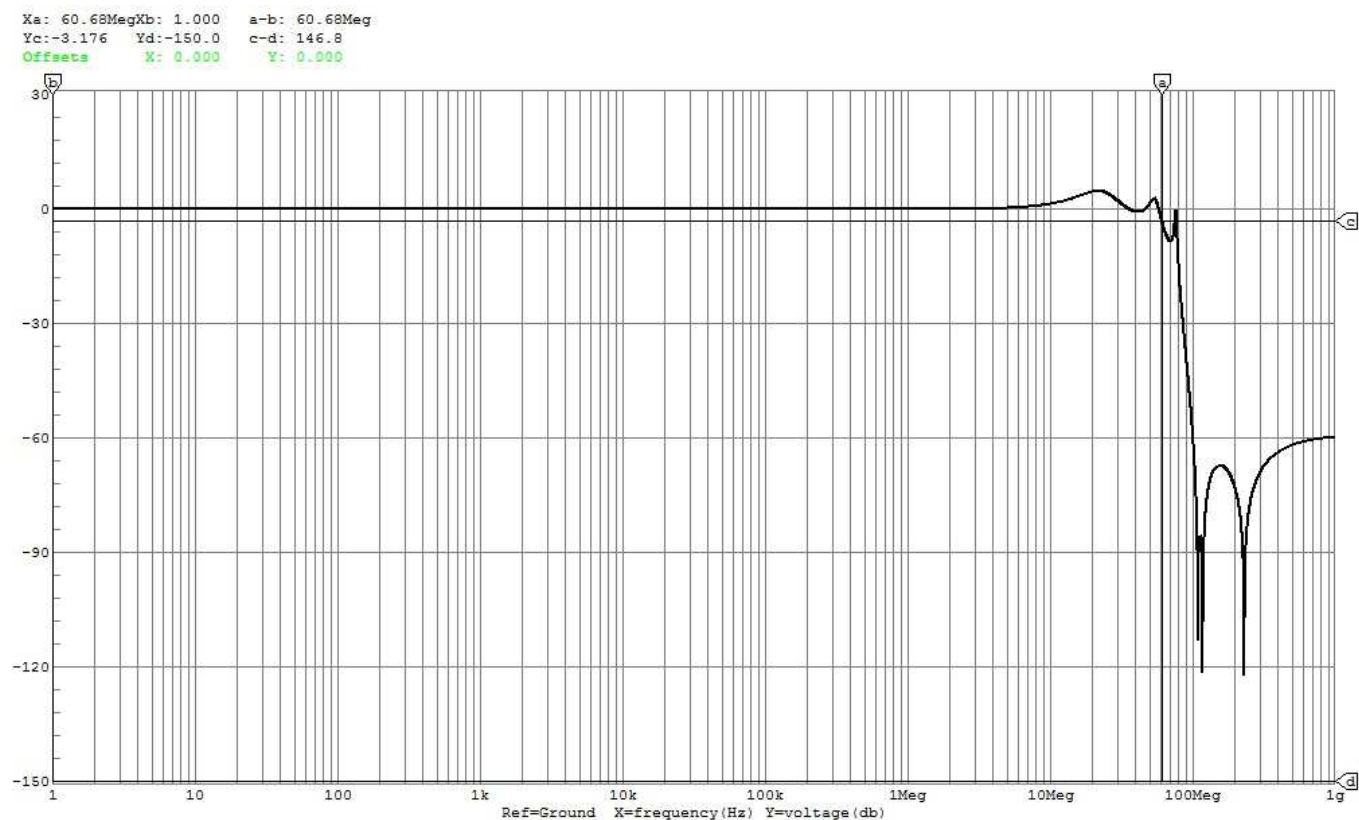
5.1.1. A MODULOK ALULÁTERESZTŐ SZŰRŐJÉNEK VIZSGÁLATA

Mindkét modulon ugyanolyan aluláteresztő szűrő található. Mint ahogy már fentebb említettem a modulok eladói szerint ezek 70-70 MHz törésponti frekvenciával rendelkeznek. A szűrő kapcsolását elkészítettem Circuit Maker 2000 áramkör szimulációs programban és szimuláltam.

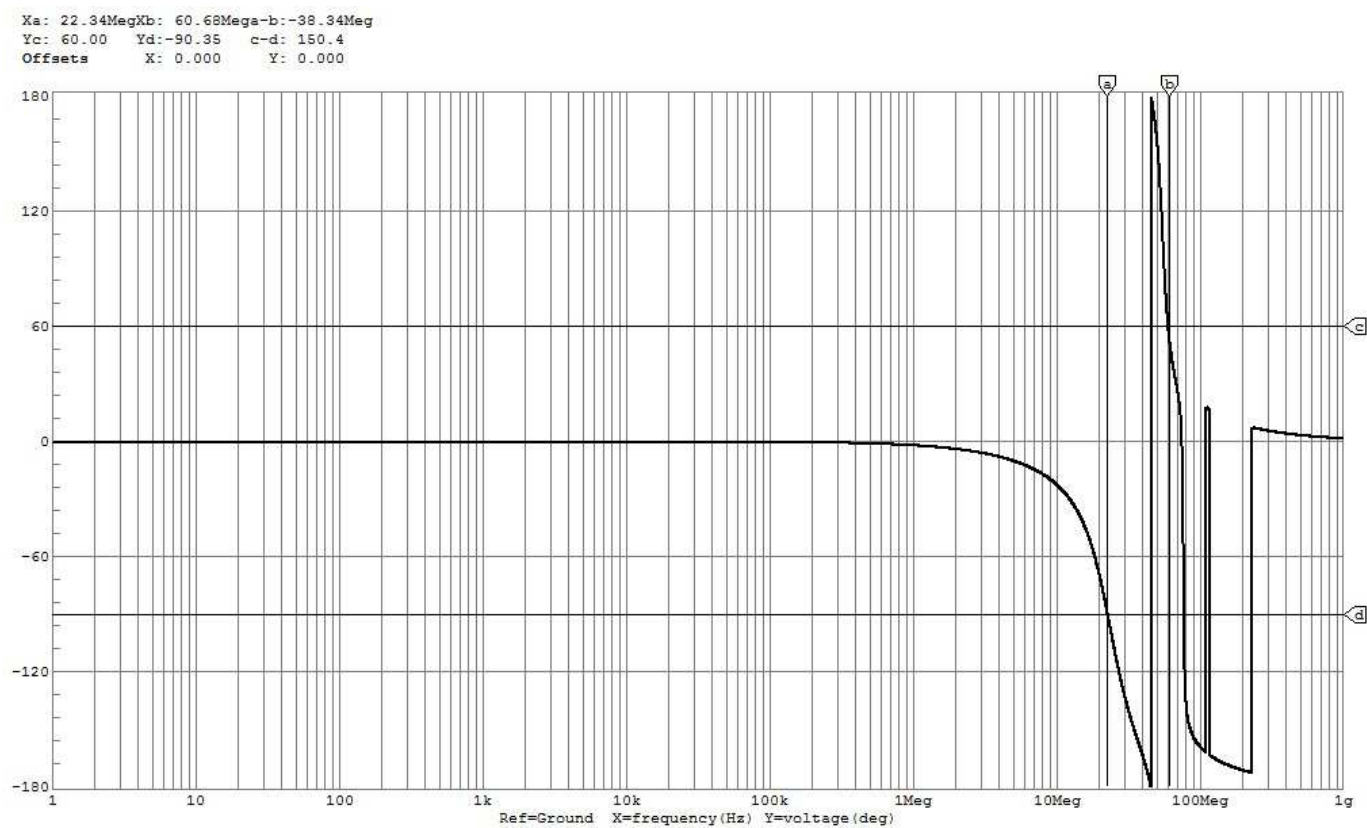


15. ábra Az A csatorna aluláteresztő szűrője

A szimuláció eredménye szerint a -3dB-es töréspont 60,6 MHz-nél található. Ez teljes mértékben megfelel a használathoz mivel az AD9850 adatlapjából kiderül, hogy a kimeneti frekvencia maximálisan a referencia órajel fele lehet, azaz 62,5 MHz 125MHz-es kvarc esetében. Az eladó adataitól eltér, 10MHz-el alacsonyabban van a törési frekvencia. A szűrő láthatóan egy Cauer más néven Elliptikus szűrő, mivel az áteresztő sáv végén és a zárósáv elején is ingadozik a csillapítás. E szűrő előnye a Butterworthel vagy Chebyshevvel szemben az, hogy jóval nagyobb vágási meredekség érhető el mint az előző két típussal. Hátránya viszont ez a csillapítási ingadozás mind áteresztő mind pedig a záró sávban. A fázisdiagramból kiderül, hogy a szűrő a törésponti frekvencián +60°-os fázistolással rendelkezik és 1MHz-nél kezd el fázist tolni.



16. ábra Az aluláteresztő szűrő amplitúdó menete



17. ábra Az aluláteresztő szűrő fázis menete

5.1.2 Az AD9850 HASZNÁLATA

Ahhoz hogy az AD9850 kívánt kimeneti frekvenciáját betudjuk állítani, valamilyen eszközzel, kézenfekvően egy mikrovezérlővel, bele kell tölteni a 40 bit hosszúságú hangolószt. Ehhez első lépésként meg kell határozni a hangolószt, majd el kell dönteni, hogy az adatot párhuzamos vagy soros módon szeretnénk a chipbe juttatni. Ezek után pedig kell egy olyan kód amely a mikrovezérlőbe égetve elvégzi a számítást és a bitek kiküldését minden egyes frekvencia változtatás esetén.^[5]

5.1.3. HANGOLÓSZÓ ÉS SZÁMÍTÁSA

A hangolószo egy 40 bitből álló bináris szám mely első 32 bitje a frekvencia beállításért felelős az azt követő 5 bit a fázist változtatja az utolsó 3 pedig vezérlő bit.

Word	Data[7]	Data[6]	Data[5]	Data[4]	Data[3]	Data[2]	Data[1]	Data[0]
W0	Phase-b4 (MSB)	Phase-b3	Phase-b2	Phase-b1	Phase-b0 (LSB)	Power-Down	Control	Control
W1	Freq-b31 (MSB)	Freq-b30	Freq-b29	Freq-b28	Freq-b27	Freq-b26	Freq-b25	Freq-b24
W2	Freq-b23	Freq-b22	Freq-b21	Freq-b20	Freq-b19	Freq-b18	Freq-b17	Freq-b16
W3	Freq-b15	Freq-b14	Freq-b13	Freq-b12	Freq-b11	Freq-b10	Freq-b9	Freq-b8
W4	Freq-b7	Freq-b6	Freq-b5	Freq-b4	Freq-b3	Freq-b2	Freq-b1	Freq-b0 (LSB)

18. ábra Az AD9850 hangolószávának felépítése^[5]

Az AD9850 adatlapjában található erre egy képlet amely így néz ki:

$$TuningValue=((fout*2^{32})/RefCLK)$$

Ezt így egy az egyben nem lenne célszerű beleírni a hangolószo számító kódrészletbe mivel az Atmega128 egy 8 bites mikrovezérlő, tehát alapesetben 8 biten ábrázolható számokkal tud műveleteket elvégezni. Tegyük fel, hogy a felhasználó 25MHz-re választja meg a kimeneti frekvenciát, azaz 25000000Hz-re. E szám bináris ábrázolásához minimum 25 bitre van szükség.(kettő a huszonötödiken az 33554431) A DDS chip referencia órajele 125000000Hz. Tehát egy 25 bites számot kéne megszorozni kettő harminckettedik hatványával majd elosztani egy 28 bitessel. Különböző külső könyvtárak utasításai segítségével el lehet azt érni, hogy a képlet így, egy az egyben a kódba írható legyen, a fordító nem jelez hibát, de sajnos a műveletek közbeni kerekítési hibákból adódóan, amelyeket ezek a nem szabványos C utasítások okoznak, teljesen hibás, használhatatlan végeredmény születik.

Ráadásul a hangolószo számítás esetében egy kis kerekítési hiba is eltérő kimeneti frekvenciát okozhat. Viszont ha a képletet megfigyeljük, akkor észrevehető, hogy

$$2^{32}/125000000=34,359738368$$

Ez az eredmény már barátságosabb és egyszerűbben kezelhető. Egy tört számokat tárolni képes változó típusba eltárolható és a hangolószo számításakor használható.

Így a hangolószo számítása az alábbi képlet szerint történhet:

$$TuningValue=fout*34.359738368$$

A TuningValue változónak egy 32 bites változótípust kell választani például uint32_t-t.

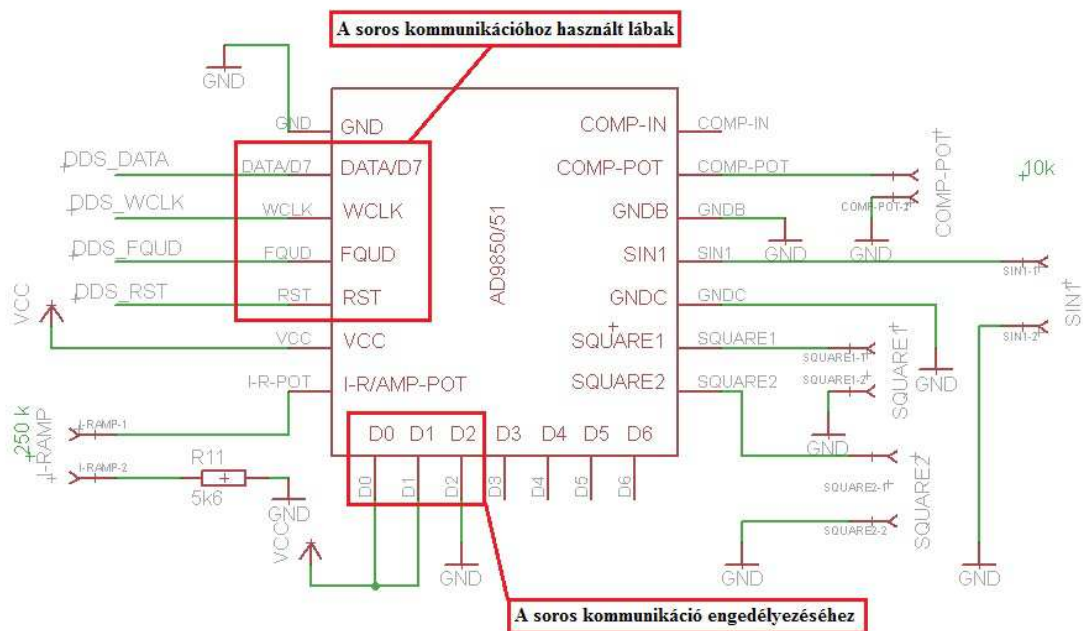
5.1.4. KOMMUNIKÁCIÓ AZ AD9850-NEL

Az adatot az AD9850 soros illetve párhuzamos módon is tudja fogadni. Bármelyiket is használjuk három vezérlőjelre mindkét esetben szükségünk van. Ezek a WCLK, FQUD, RST. Párhuzamos üzemmódban mind a nyolc vezetéket kell használni az adatbusznak (D0...D7). Ez esetben a hangolószo öt bájt ként kell kiküldeni. A bájtok a WCLK lábra adott impulzus lefutó élére töltődnek be a DDS chipbe és hatására a chip címmutatója tovább ugrik a következő bájt kezdőcímére, majd ha mind az öt bájt betöltődött az FQUD lábra adott impulzus lefutó élére frissíti a DDS chip a kimeneti frekvenciáját, fázisát és a címmutatót kezdőpozícióba állítja vissza.

Soros üzemmódban viszont csak egyetlen adatvezetékre van szükség ez nevezetesen a D7. Ez esetben a hangolószo bitenként kell kiküldeni a chipnek, minden bitet a WCLK lábra adott impulzussal tudunk a chipbe tölteni, hatására a chip címmutatója mindig egyet lép, hogy a következő bit a megfelelő helyre töltődjön. Az FQUD lábra adott impulzussal kell jelezni a hangolószo indítását és befejezését, hatására a chip frissíti a frekvenciát és a fázist és a címmutató kezdőpozícióba áll vissza. A jelgenerátorban a soros kommunikációt választottam, mert egyszerűbb és gazdaságosabb megoldás, így nem kell tizenegy mikroprocesszorlábát elhasználni csak négyet. ^[5]

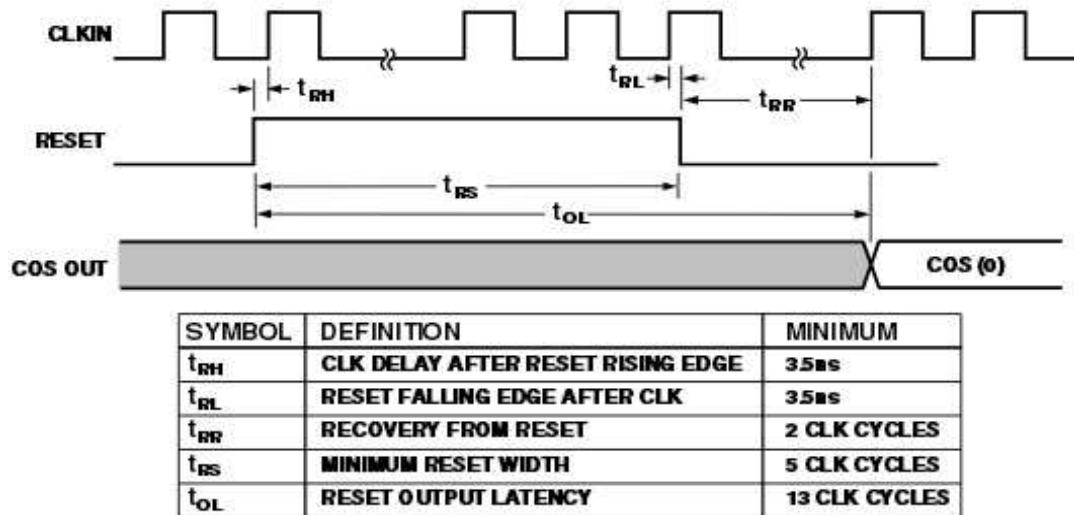
5.1.5. A SOROS KOMMUNIKÁCIÓ LÉTREHOZÁSA

Első lépésként a az AD9850 chip 2-es lábát földre kell kötni, 3-as és 4-es lábakat pedig pozitív tápfeszültségre (+5V-ra). Így a chip soros kommunikációs üzemmódban fog bekapcsolni. Továbbá az adatvonalat és vezérlővonalakat kell csatlakoztatni a mikrovezérlő erre a célra használni kívánt lábaihoz.

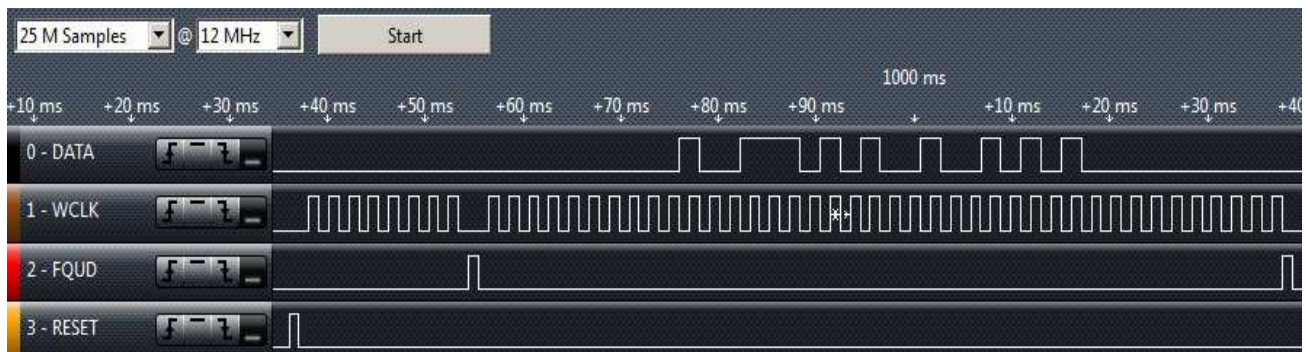


19. ábra Soros kommunikációhoz szükséges lábak

Bekapcsolás után, az adatok fogadása előtt még feltétlenül szükség van egy resetre az RST lábra adott impulzussal melyet minimálisan 5 referencia órajel ciklus ideig kell logikai egyes szinten tartani, amely 125MHz-es kvarc esetén 40 ns. A resetből való felállás ideje minimum 2 órajelciklus amely 16 ns. Ez után a WCLK impulzus, amellyel az első adatbitet betöltjük minimálisan 35 ns múlva érkezhethet. A resetelés után az adatbitek előtt ki kell küldeni 8 bitet ez a 3 vezérlő és 5 fázis bit. Ahhoz, hogy a DDS chip ne alvó állapotban és 0° fázistolással induljon ez az első 8 bit logikai nullaértékű.

20. ábra Időzítési diagram ^[5]

Ez után az FQUD lábra kell adni egy impulzust, hogy jelezzük az első adatbit érkezését majd minden egyes adatbit egy WCLK-ra adott impulzussal léptethető a DDS chipbe. A kiküldött 40 bit után ismét szükséges egy FQUD impulzussal jelezni, hogy befejeztük az adatküldést. Ennek hatására az AD9850 kimenetén megjelenik az adatbiteknek megfelelő frekvenciájú kimeneti jel. A fent leírtak szemléltetésére Saleae logikai analizátorral készítettem a következő mérést a már működő jelgenerátoron.



21. ábra Soros Kommunikáció az AD950-nel

Jól megfigyelhető az első reset impulzus majd a 8 darab nulla az adatvezetéken melyeket a WCLK tölt be a chipbe. Ez után az FQUD impulzus, ami jelzi az adat kezdetét és végét, köztük pedig a 32 bites frekvencia hangolószó a 32 darab WCLK impulzussal plusz az utolsó 8 darab 0 ami fázist és sleep üzemmódot állítanak. A kiküldött adatbitek egyébként egy 75 KHz-es kimeneti jellet eredményeznek. Ez könnyen ellenőrizhető az Analog Devices

internetes tervező programjának segítségével, mely szintén megtalálható az Analog Devices weblapján. [*] Ha a legördülő menüből kiválasztjuk az AD9850-et és a kívánt kimeneti frekvenciához beírjuk a 75 KHz-et, majd lefuttatjuk a szimulációt megkapjuk többek közt a hangolószt is, ez alapján egyszerűen ellenőrizhető a működés.^[5]

22. ábra A tervező szoftver és a hangolószó számítása

Ha összehasonlítjuk a szimuláció frekvencia hangolószávat a logikai analízátorral mért eredménnyel látható, hogy megegyeznek. Továbbá megfigyelhető a DDS technológia egyik hátránya, hogy a kívánt és valóságos kimeneti frekvencia eltér egymástól. Ez az AD9850-ben történő csonkolás miatt van. A fázis-amplitúdó konverterből kilépő bitsorozat csonkolódik tíz bitesre mielőtt az A/D átalakítóba kerülne, így adatvesztés keletkezik.

5.1.6. A HASZNÁLT DDS MODUL EGYÉB KIVEZETÉSEI

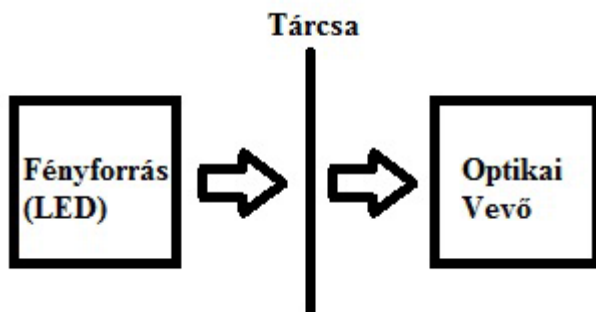
A DDS modulon kivezetésre került mind a négy kimenet, így elérhető egy szinusz egy koszinusz és két ellentétes fázisú négyszög kimeneti jel. A négyszögjeleket belső komparátor állítja elő melynek állítható a komparálási szintje, így azzal változtatható a négyszögjelek kitöltési tényezője. Továbbá kivezetésre került a DA konverter Rset lába is mellyel a DA átalakító teljes skálájára vonatkozó kimeneti áram értékét lehet változtatni.^{[10][11]}

5.2. KEZELŐSZERVEK

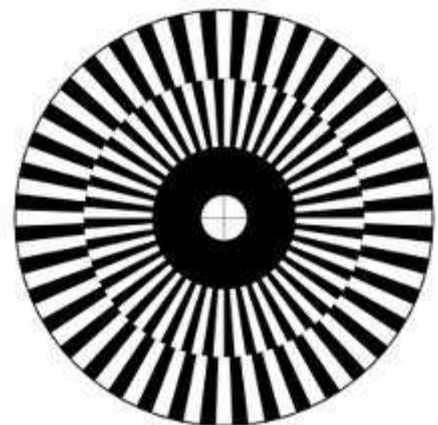
Egy állítható frekvenciájú jelgenerátornak nyilvánvalóan szüksége van kezelőszervekre amelyek segítségével a felhasználó beállíthatja a kívánt frekvenciát, amplitúdót, kitöltési tényezőt és a kimeneti jelalak egyéb jellemzőit igény szerint. Az egyszerű nyomógombokat elláthatjuk menü funkciókkal, mint például a sweep, de egy ilyen, viszonylag nagy frekvenciatartományt átfogó eszköz pontos kimeneti jel frekvencia beállításához egy „végtelenszer” körbefordítható eszközre van szükség, amellyel növelhetjük és csökkenthetjük is a frekvenciát, sőt igény szerint az inkrementálási és dekrementálási lépcső mérete is változtatható, csatlakoztatható mikrovezérlőhöz és azzal egyszerűen használható. Egy ilyen eszköz az enkóder. Ezek mellett az amplitúdót és a kitöltési tényezőt legegyszerűbben potméterekkel változtathatjuk.

5.2.1. ENKÓDER

A két legelterjedtebb enkóder azaz forgókapcsoló típus az optikai és a mechanikus. Két kimenetük van, amelyen az elfordulás hatására egymástól fázisban eltérő négyszögjeleket bocsájtanak ki, így az elfordulási irány megkülönböztethetővé válik. Az optikai enkóderekhez szükség van egy körben vonalkázott, vagy más egyéb módon szaggatott tárcsára, egy optikai adóhoz és egy optikai vevőhöz. Legáltalánosabban PC egerekben használatosak ilyen jellegű enkóderek. Fizikai méretük valamivel nagyobb, mint a mechanikus enkódereké viszont a kapcsolás általában fototranzisztorral történik így a prell jelenséggel és kivédésével nem kell törődnünk.

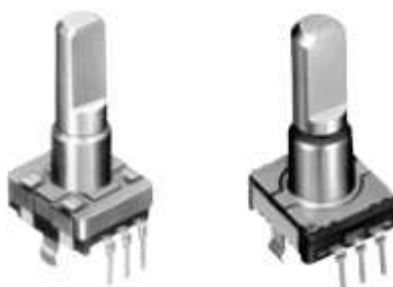


23. ábra Optikai enkóderkerék



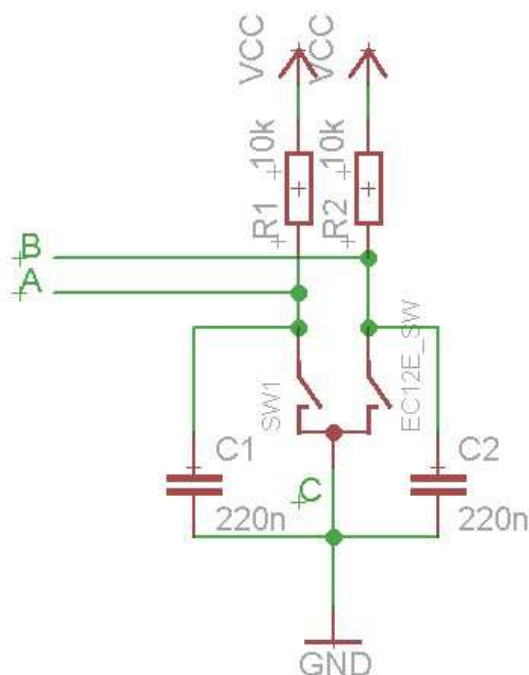
24. ábra Optikai enkóder

A mechanikai enkóderek felépítését és használatát egyszerűbbnek találtam, ezért egy ilyet választottam a jelgenerátor frekvenciaállító kezelőszerveként. Hátránya a prellezés ami a mechanikai kapcsolásból adódik. Egyszerűen orvosolható probléma, a kivezetései és a föld közé 220 nF-os kondenzátor beforrasztása a kapcsolási bizonytalanságot megszünteti.



25. ábra Mechanikai enkóderek

A legtöbbnek három plusz két kivezetése van. Általában a három közül a középsőt kell földre kötni, a mellette lévő két érintkező az A és B kimeneteké. Ezeket kell a mikrovezérlőhöz csatlakoztatni, de feltétlenül kell kb. 10K felhúzó ellenállásokat is alkalmazni, hogy megvédjük a mikrovezérlőnket. A másik kettő kivezetés egy nyomógombé, amit a tengely benyomásával használhatunk. Ide is kell a felhúzó ellenállás.^[9]



26. ábra Az Enkóder bekötése

Tengely forgási irány	Érintkezők	Kimeneti jel
Óramutató járásval megegyező	A-C	
	B-C	
Óramutató járásával ellentétes	A-C	
	B-C	

27. ábra Enkóder kimenetei^[8]

5.2.2 AZ ENKÓDER HASZNÁLATA

Az enkóderek állapotát általában külső interrupt segítségével szokták figyelni és felhasználni, ha a mikrovezérlő ezt lehetővé teszi. Az Atmega128 több külső interrupt bemenettel is rendelkezik tehát én is ezt a módszert választottam. Egy enkóder kezelő rutin kódja két fő részből áll, egy inicializálásból és egy megszakítás esetén végrehajtandó programrészből.

Az inicializálásban megadjuk, mely portok melyik bitjeit szeretnénk felhasználni A és B enkóder érintkezők számára, bekapcsoljuk a belső felhúzó ellenállásokat ezeken a lábakon és engedélyezni a külső interruptot a megfelelő lábon. Az Atmega128 mikrovezérlőben két speciális regisztert kell beállítanunk interrupt kezelés esetén, ezek az EICRA és EIMSK nevet viselik. Az EICRA-val lehet konfigurálni, hogy az interrupt milyen esemény hatására következzen be. Ez történhet a pin „0” logikai szintre változásával, bármilyen logikai érték változásra vagy le és felfutó élre az alábbi táblázat szerint. Az enkóderhez a lefutó élre történő interruptot választottam.^[9]

Bit	7	6	5	4	3	2	1	0	
	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00	EICRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

28. ábra Az EICRA felépítése^[6]

ISCn1	ISCn0	Description
0	0	The low level of INTn generates an interrupt request.
0	1	Reserved
1	0	The falling edge of INTn generates asynchronously an interrupt request.
1	1	The rising edge of INTn generates asynchronously an interrupt request.

29. ábra Az interrupt beállítása^[6]

A másik speciális regiszter az EIMSK, ennek segítségével lehet engedélyezni az egyes interruptokat. Az engedélyezendő interrupt sorszámaához 1-est írva lehet bekapcsolni. Az enkóderhez az INT2-t választottam.

Bit	7	6	5	4	3	2	1	0	
	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0	EIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

30. ábra Az EIMSK regiszter felépítése ^[6]

```

void rotary_init()
{
    DDRD=0xf0;
    DDRC=0x00;
    PORTD=0b00000100; //PD2 felhúzó R bekapcsolás enkóder A
    PORTC=0b00000001; //PC0 felhúzó R bekapcsolás enkóder B EICRA=0b00100000;
    //lefutó élre jön be az INT2
    EIMSK=0b00000100; //INT2 engedélyezve
}

```

Az interrupt kezelés másik fő része a megszakítás esetén végrehajtandó programrész azaz az ISR rutin, ezt célszerű minél kisebb számítási igényűre írni, ugyanis a főprogram futását szakítja meg az interrupt az ISR rutin kiszolgálásáért. Ezeket követően már csak engedélyezni kell a főprogramban a megszakításkérést (sei());és beilleszteni az avr/interrupt.h header fájlt a program elején.

```

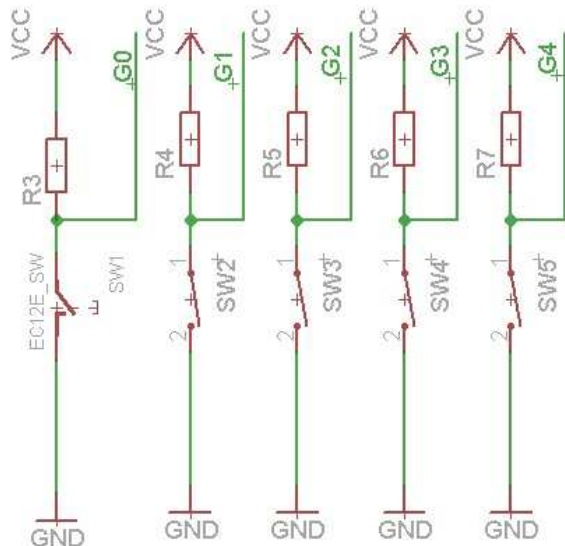
ISR(INT2_vect) //ebbe az ISR be lép be a Program Counter ha interruptot kap.
{
    // Interrupt esetén végre hejtandó programrész.
}

```

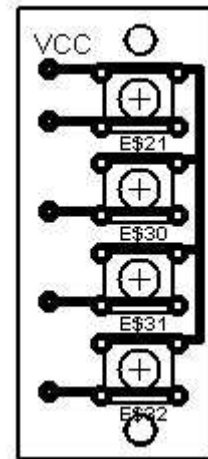
5.2.3. NYOMÓGOMBOK

A jelgenerátoron öt darab nyomógomb található, ebből egy darab az enkóder nyomógombja ami a frekvencia beállításához van felhasználva, a többi gomb a majdani sweep funkcióhoz kell, a start, stop frekvenciák megadásához és az indításhoz és további fejlesztés esetére még így is marad használatlan nyomógomb. A gombok a mikrovezérlő G-portjára lettek kötve mivel ez egy 5 bites port. A prell jelenség ez esetben is problémát okoz, de a gombok esetében szoftveresen lett kiküszöbölve nem pedig kondenzátor segítségével. Így a nyomógomb beolvasó programrészbe bekerült egy 10ms-os késleltetés a stabil

feszültségértékek beállítására. A katalógus szerint ez maximálisan 5-8 ms-ot vesz igénybe. A gombok használata egyszerű. A használt G portot bemenetként inicializáljuk a $\text{DDRG}=0\text{x}00$; paranccsal majd a port értékét a PORTG regiszterből tudjuk kinyerni.



31. ábra A nyomógombok nyákja



32. ábra Nyomógombok bekötése

A felső képen látható nyák az előlapra lett felszerelve belülről. A hely szűkössége miatt az ellenállások a fő nyákra kerültek. A kettő nyákot tíz eres szalagkábelrel lehet egymáshoz csatlakoztatni.

5.3. KIJELEZŐK

Egy felhasználóbarát jelgenerátornak legalább akkora szüksége van különböző kijelzőkre, mint kezelőszervekre. Elsődlegesen a kimeneti frekvencia kijelzése a cél. Ezt a legegyszerűbben és legolcsóbban vagy hétszegmenses kijelzőkre vagy egy LCD-re írathatjuk ki. A kimeneti frekvencia lehet több tíz megahertz is amit ha számjegyenként szeretnénk kiírni akkor sok hétszegmenses kijelzőre lenne szükség, amelyek fizikálisan is nagy helyet foglalnának el, sok mikroprocesszor lábat venne igénybe és feleslegesen bonyolítaná és drágítaná az áramkört. Így a legkézenfekvőbb, legegyszerűbb és legolcsóbb megoldás egy LCD kijelző használata. Egyéb státuszjelzésre pedig a jelgenerátor kapott még nyolc db ledet is, amelyből hetet a frekvenciaállítási lépcső aktuális állapotának kijelzésére használok és egy led szabadon maradt további fejlesztés esetére.

5.3.1. AZ LCD KIJELZŐ

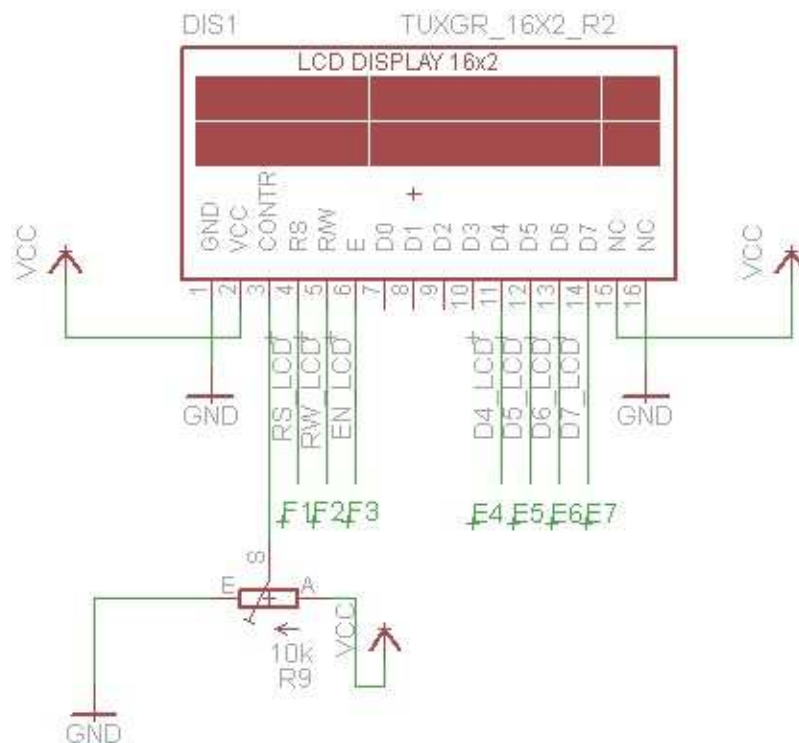
Manapság már az LCD kijelzők árai is igen kedvezőek. Kedvünkre válogathatunk a méretek, színek és háttérvilágítások közt. A jelgenerátorhoz az LCD kijelző kiválasztásakor az első szempont az volt, hogy HD44780 vezérlőchipje legyen vagy azzal kompatibilis. Ez a legelterjedtebb, legáltalánosabban használt LCD vezérlő így nagyon sok információ és szakirodalom található hozzá az interneten. A második szempont a fizikai méret volt. Akkorát kellett választanom, amely kényelmesen elfér a doboz előlapjára szerelve és hely is marad a további kezelőszerveknek. A harmadik szempont pedig az volt, hogy legyen háttérvilágítása. Így esett a választásom a QC1602A típusjelzésű kijelzőre. Ez egy 2x16 karakteres kijelző, ami megfelel a fenti szempontoknak.



33. ábra A QC1602A LCD-kijelző

5.3.2. CSATLAKOZTATÁS ÉS HASZNÁLAT

Az LCD-kijelzőnek 16 db kivezetése van. Két kivezetés a háttérvilágításnak, kettő a tápellátásnak, egy a kontrasztállítási lehetőségnek, három a vezérlőjeleknek és további nyolc az adatoknak. Ebből a nyolcból viszont csak négyet használtam fel mivel a kijelzőre küldhetünk adatot nyolc és négybites módban is.



34. ábra Az LCD kijelző bekötése

A HD44780 REGISZTEREI

A HD44780 LCD-vezérlőchipnek két 8 bites regisztere van az IR azaz parancsregiszter és DR vagyis az adatregiszter. A parancsregiszterbe a kijelzőnek szóló konfigurációs adatokat küldhetjük, mint például a kijelző be illetve kikapcsolása, adatbeviteli mód, kijelzési mód és még sok más. Az adatregiszterbe pedig a megjelenítendő adatokat küldhetjük. Ezek közül az RS láb pillanatnyi logikai állapotával tudunk választani.^[7]

DDRAM-DISPLAY DATA RAM

Az a RAM amibe a megjelenítendő karaktereket kell kiküldeni. A kapacitása 80 karakter azaz 80 bájt. Ennek csak egy bizonyos része kerül kijelzésre, ez kijelző típustól függ, jelen esetben 16x2 karaktert lehet egyszerre kijelezni ebből a 80-ból. Az alábbi ábrán látható a DDRAM cím kiosztása két soros kijelző esetén. A használt kijelző esetében az első kijelezhető sor a 0x00...0x0F címeken található a második pedig 0x40...0x4F címeken.

Display position	1	2	3	4	5	39	40
DDRAM address (hexadecimal)	00	01	02	03	04	26	27
	40	41	42	43	44	66	67

35. ábra DDRAM címkiosztás^[7]

CGRAM-CHARACTER GENERATOR RAM

A CGRAM-ban a felhasználó létrehozhatja a saját, egyedi karaktereit. Mérete 64 bájt amely 8 db 5x8 pixeles egyéni karakter definiálására ad lehetőséget.

BF-BUSY FLAG

A BF egy olyan bit mely értéke 1 amikor a kijelző foglalt és 0 amikor nem. A kiküldött instrukciókat csak akkor értelmezi, amikor nem foglalt. Aktuális állapota a D7 adatvezetéken kérdezhető le ha RS=0 és R/W=1.

AC-ADDRESS COUNTER

Megadja a DDRAM és CGRAM aktuális címeit. A DDRAM-ba vagy CGRAM-ba való írást követően folyamatosan változik vagy inkrementálódik vagy dekrementálódik eggyel attól függően, hogy előzőleg milyen módon választottuk meg. Kiolvasható D0...D6 lábakon ha RS=0 és RW=1.

A KIJELZŐ LÁBKIOSZTÁSA

Láb	Elnevezése	Funkciója
1	VSS	GND
2	VDD	+5V tápfeszültség
3	V0	Kontraszt
4	RS	Register Select
5	R/W	Read/Write
6	E	Enable
7	D0	Alsó négy adatbusz, 8 bites adatbeviteli mód esetén
8	D1	
9	D2	
10	D3	
11	D4	Felső négy adatbusz, 4 bites adatbeviteli mód esetén
12	D5	
13	D6	
14	D7	
15	A	Háttérvilágítás anód
16	K	Háttérvilágítás katód

1. táblázat Az LCD-kijelző lábkiosztása

V0-KONTRASZT

A kontraszt lábra egy 10KOhm-os trimmer középső lábát kötöttem a szélsőket pedig +5V tápfeszültségre és GND-re, így az a trimmer segítségével változtatható.

RS-REGISTER SELECT

A register select lábbal kiválasztható, hogy a kiküldött biteket a kijelző parancs vagy adatként értelmezze. Ha RS=0 a kiküldött biteket parancsként fogja értelmezni, ha

RS=1 akkor pedig adatként.

R/W-READ/WRITE

Az R/W lábbal meghatározható az adatforgalom iránya, hogy a kijelzőre adatot szeretnénk-e kivinni vagy onnan szeretnénk-e azt beolvasni. Az R/W=0 írást jelent az R/W=1 pedig olvasást.

E-ENABLE

Az E azaz Enable láb, pedig mint egy engedélyező bemenet amely lábra érkező impulzus lefutó élére az adat és vezérlőbuszon lévő bitek beolvasásra kerülnek. ^[7]

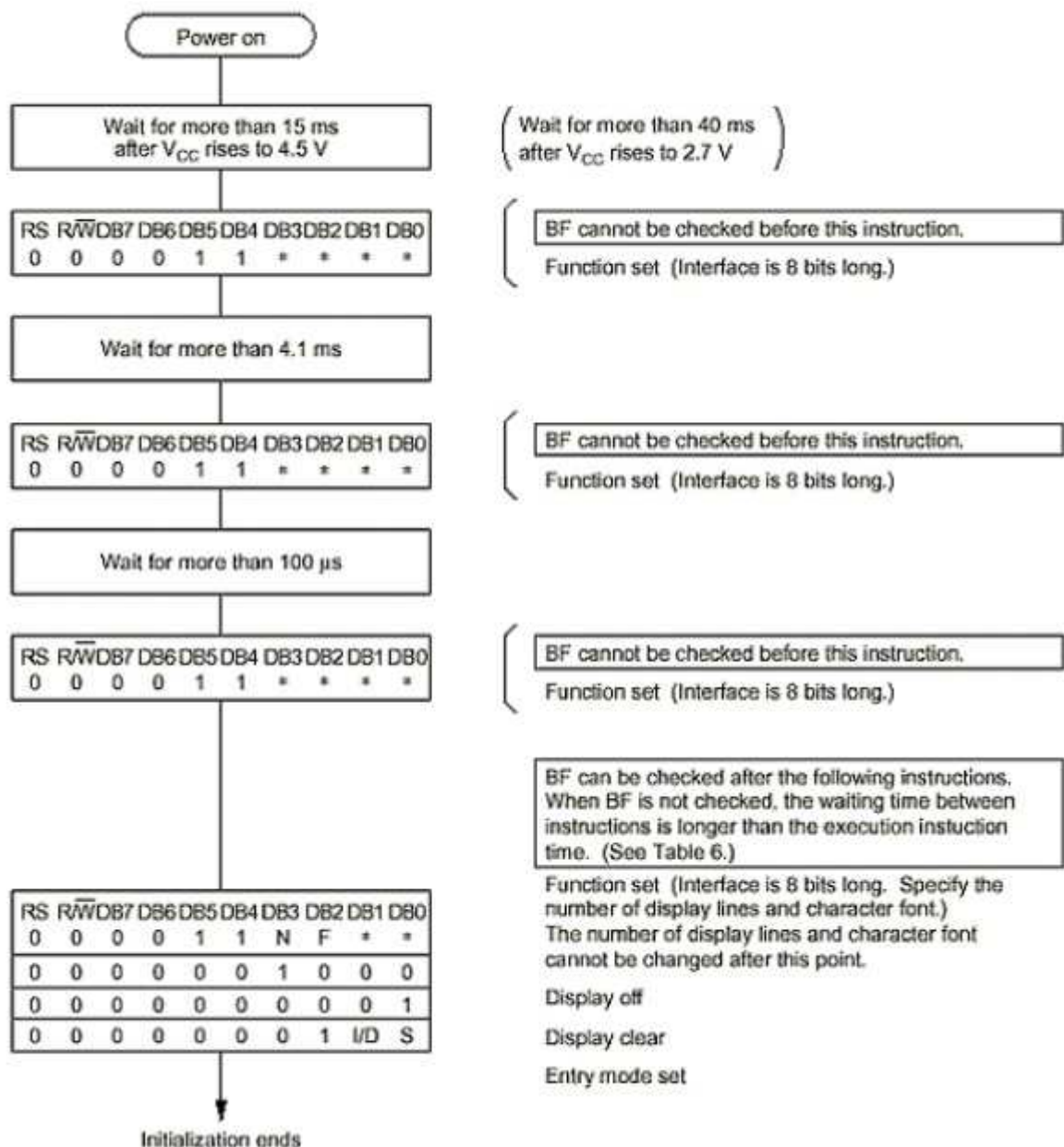
HD44780 PARANCOK

Instruction	Code										Description	Execution Time (max) (when f_{cp} or f_{osc} is 270 kHz)	
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
Clear display	0	0	0	0	0	0	0	0	0	1	Clears entire display and sets DDRAM address 0 in address counter.		
Return home	0	0	0	0	0	0	0	0	0	1	—	Sets DDRAM address 0 in address counter. Also returns display from being shifted to original position. DDRAM contents remain unchanged.	1.52 ms
Entry mode set	0	0	0	0	0	0	0	0	1	I/D	S	Sets cursor move direction and specifies display shift. These operations are performed during data write and read.	37 μ s
Display on/off control	0	0	0	0	0	0	0	1	D	C	B	Sets entire display (D) on/off, cursor on/off (C), and blinking of cursor position character (B).	37 μ s
Cursor or display shift	0	0	0	0	0	0	1	S/C	R/L	—	—	Moves cursor and shifts display without changing DDRAM contents.	37 μ s
Function set	0	0	0	0	0	1	DL	N	F	—	—	Sets interface data length (DL), number of display lines (N), and character font (F).	37 μ s
Set CGRAM address	0	0	0	1	ACG	ACG	ACG	ACG	ACG	ACG	ACG	Sets CGRAM address. CGRAM data is sent and received after this setting.	37 μ s
Set DDRAM address	0	0	1	ADD	ADD	ADD	ADD	ADD	ADD	ADD	ADD	Sets DDRAM address. DDRAM data is sent and received after this setting.	37 μ s
Read busy flag & address	0	1	BF	AC	AC	AC	AC	AC	AC	AC	AC	Reads busy flag (BF) indicating internal operation is being performed and reads address counter contents.	0 μ s
Write data to CG or DDRAM	1	0	Write data								Writes data into DDRAM or CGRAM.		37 μ s $t_{ADD} = 4 \mu s^*$
Read data from CG or DDRAM	1	1	Read data								Reads data from DDRAM or CGRAM.		37 μ s $t_{ADD} = 4 \mu s^*$
I/D = 1: Increment I/D = 0: Decrement S = 1: Accompanies display shift S/C = 1: Display shift S/C = 0: Cursor move R/L = 1: Shift to the right R/L = 0: Shift to the left DL = 1: 8 bits, DL = 0: 4 bits N = 1: 2 lines, N = 0: 1 line F = 1: 5 $\times$ 10 dots, F = 0: 5 $\times$ 8 dots BF = 1: Internally operating BF = 0: Instructions acceptable											DDRAM: Display data RAM CGRAM: Character generator RAM ACG: CGRAM address ADD: DDRAM address (corresponds to cursor address) AC: Address counter used for both DD and CGRAM addresses		Execution time changes when frequency changes Example: When f_{cp} or f_{osc} is 250 kHz, $37 \mu s \times \frac{270}{250} = 40 \mu s$

36. ábra HD44780 parancsok^[7]

5.3.3. A KIJELZŐ INICIALIZÁLÁSA

Az LCD inicializálásához és további használatához elengedhetetlen, hogy ismerjük a HD44780 beállító és vezérlő parancsait. A kijelző 8-bites módban indul, szóval az azt követő parancsokat 8 bites módban fogja értelmezni, de ezek olyan parancsok melyek alsó 4 bitjének értéke nem mérvadó azaz don't care. Az adatlapban található egy ajánlás is a megfelelő időzítésekkel és parancsokkal.^[7]

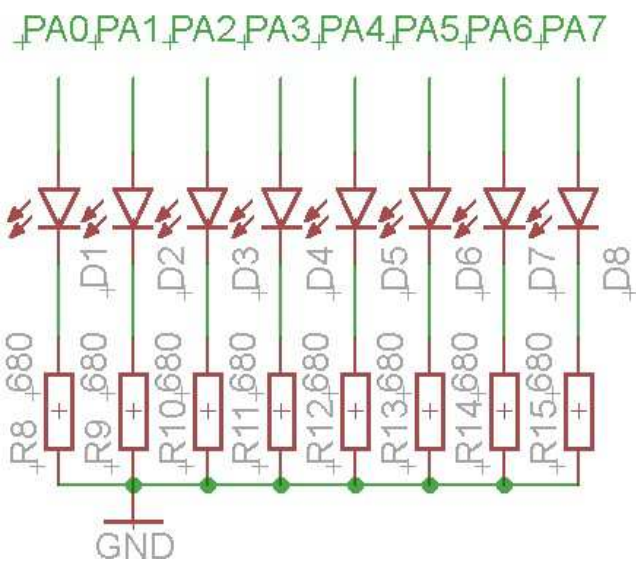


37. ábra LCD-kijelző inicializálása ^[7]

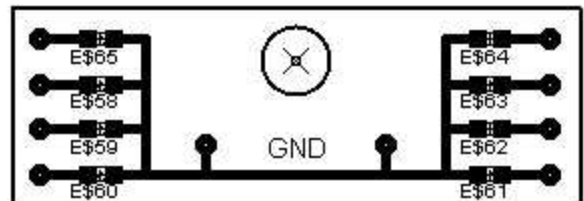
Négybites mód esetén az 1 bájtos adatcsomagokat kiküldés előtt két fél bájtra, úgynevezett nibble-ekre kell szétbontani, majd először az adat felső négy bitjéből kialakult félbájtot azaz felső nibble-t kell kiküldeni azután pedig az alsó négy bitből létrejött félbájtot azaz alsó nibble-t. A kiküldések közt nem kell várakozni.

5.3.4. STÁTUSZJELZŐ LEDEK

A ledeket 680 Ohm-os ellenállásokon keresztül csatlakoztattam a mikrovezérlőhöz. Ezek egy külön nyákon helyezkednek el mely az előlapra lett erősítve



38. ábra LED-ek bekötése

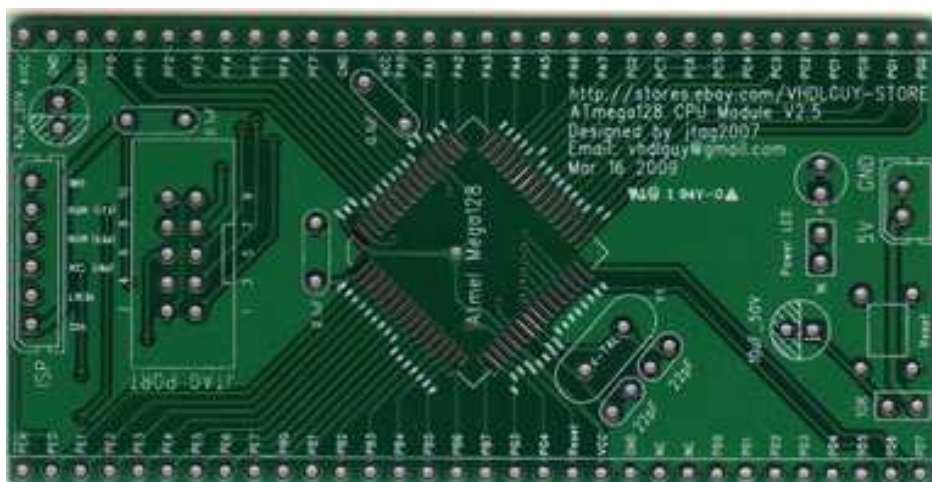


39. ábra Státuszjelző LED-ek nyákja

5.4. A NYOMTATOTT ÁRAMKÖR

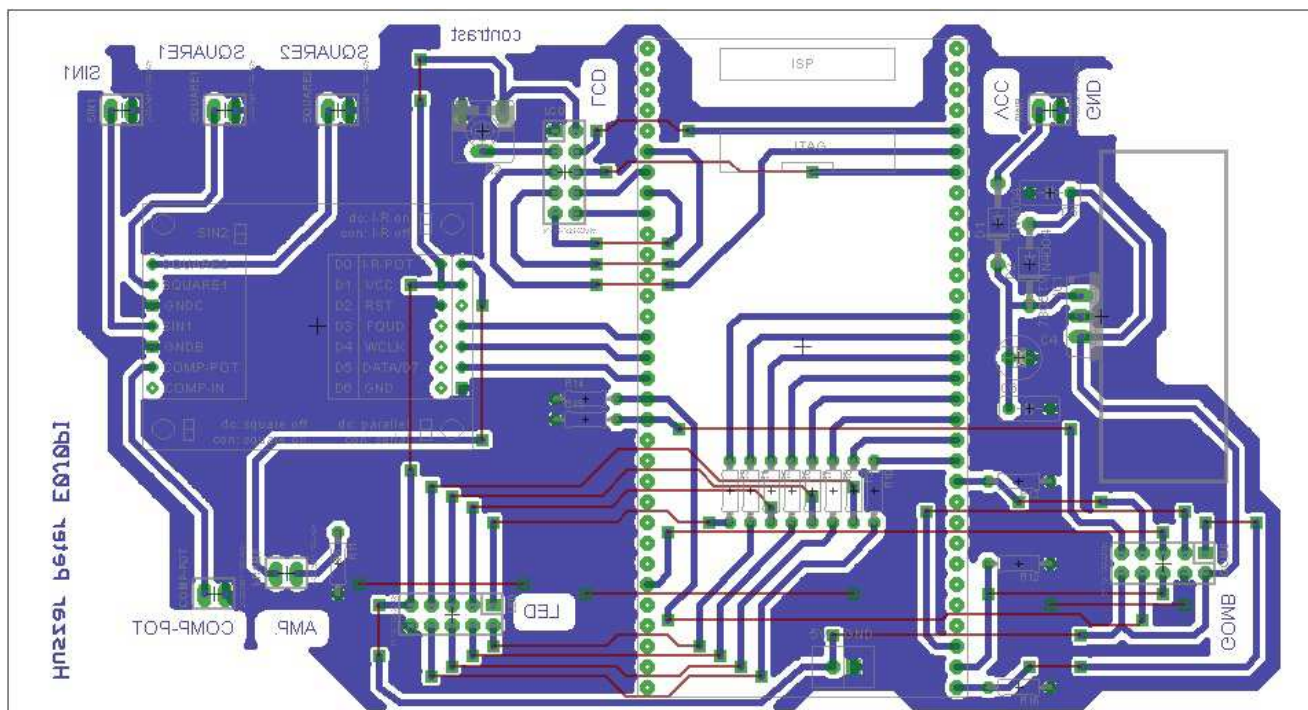
A nyomtatott áramkör tervezése során adottak voltak a doboz, a DDS modul és az Atmega128 hordozó nyák méretei. Továbbá az előlapra szerelt kijelzők és kezelőszervek méreteire és a hátlapra szerelt csatlakozók méreteire is oda kellett figyelni, hogy az alkatrészek elférjenek, ne érjenek össze, ne okozzanak zárlatot. A jelgenerátor minden egysége 5V-os tápfeszültséget igényel, amit egy 7805-ös feszültség regulátor állít elő. A négy kimenetnek a két potméternek és a tápcsatlakozónak nyákba ültethető sorkapcsokat helyeztem el, hogy összeépítéskor és szétszereléskor egyszerűen csatlakoztathatóak legyenek. Hasonlóan a kijelzőkhöz és kezelőszervekhez, amelyek szalagkábeleken és azok csatlakozóin keresztül kapcsolódnak a nyákhoz.

Az Atmega128 hordozó nyákját vásároltam a házi nyákgyártás rosszabb minősége és a mikrovezérlő tokozása miatt. Erre forrasztottam rá a TQFP64 tokozású mikrovezérlőt a JTAG és az ISP csatlakozókat és a többi alkatrészt.

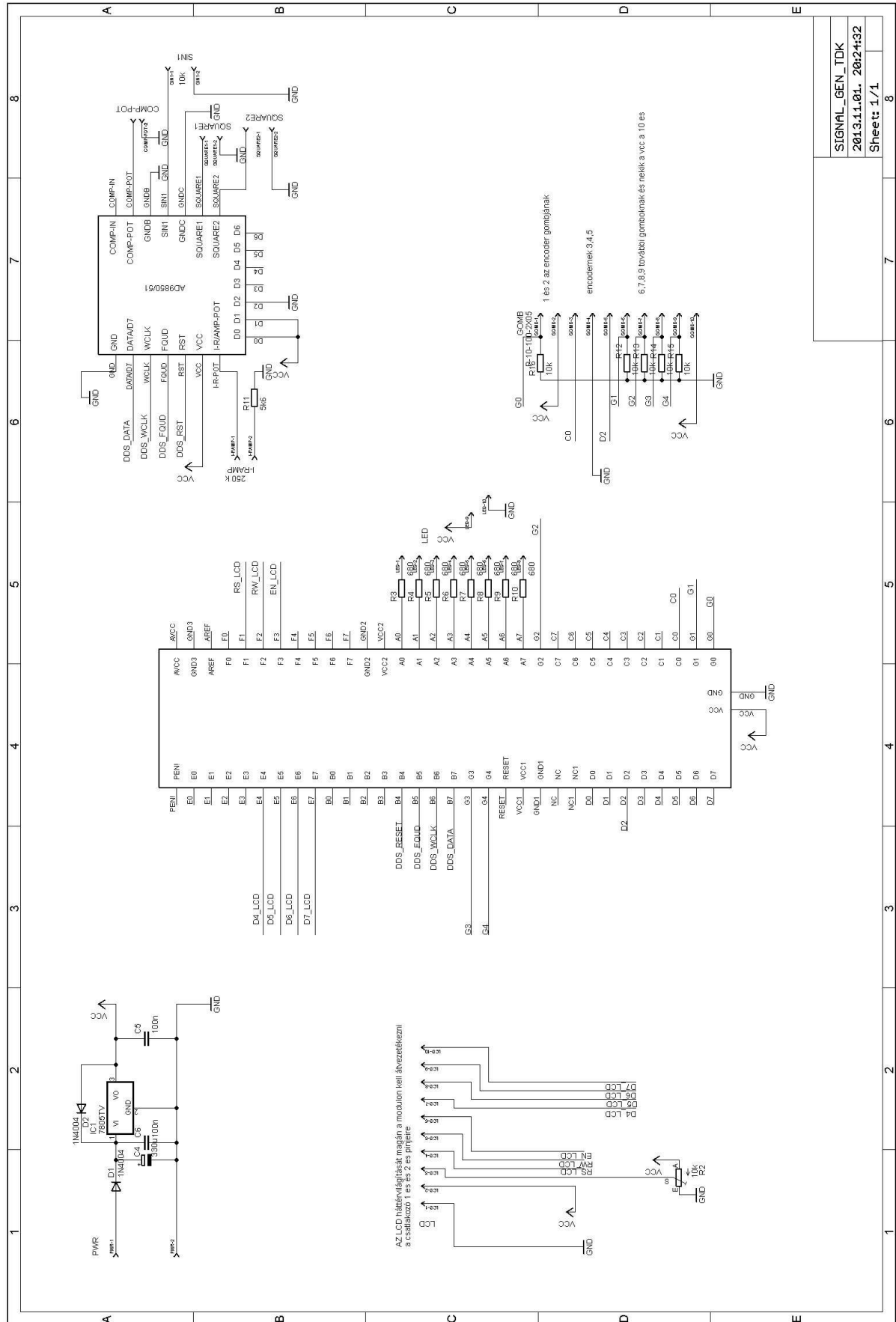


40. ábra ATmega128 hordozó NYÁK

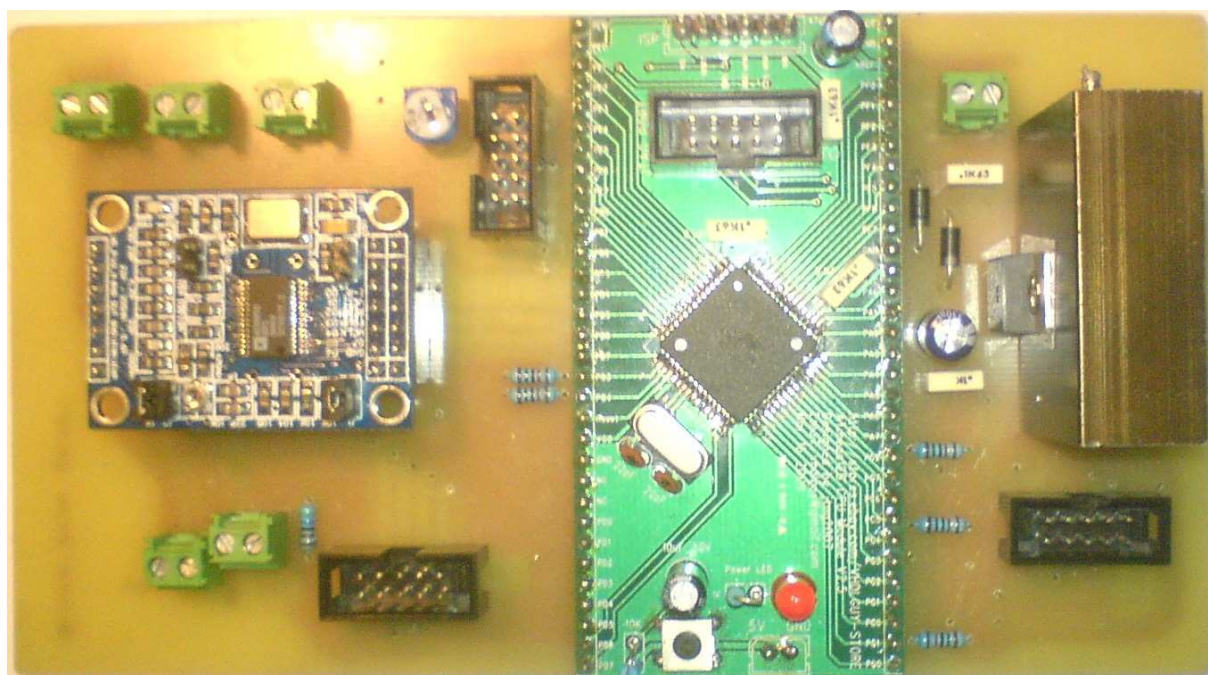
Az ezeket hordozó nyák-ot Eagle 5.11 szoftver segítségével terveztem majd vasalásos technikával vittem fel az elkészült maszkot műnyomópapírról a nyers NYÁK lemezre, azután vas-kloriddal marattam.



41. ábra A jelgenerátor NYÁK-rajza



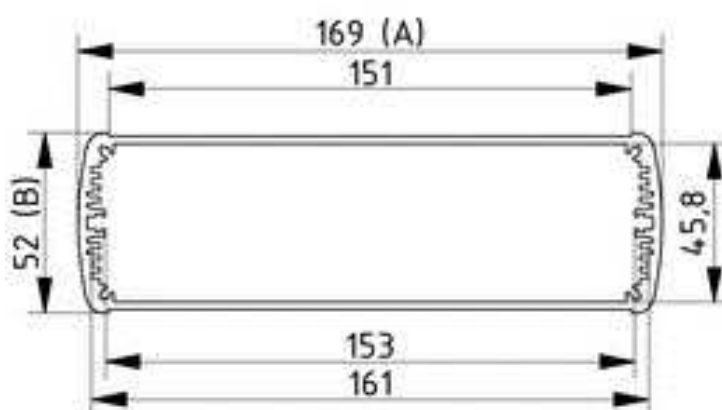
42. ábra A jelgenerátor kapcsolásirajza



43. ábra A beültetett NYÁK

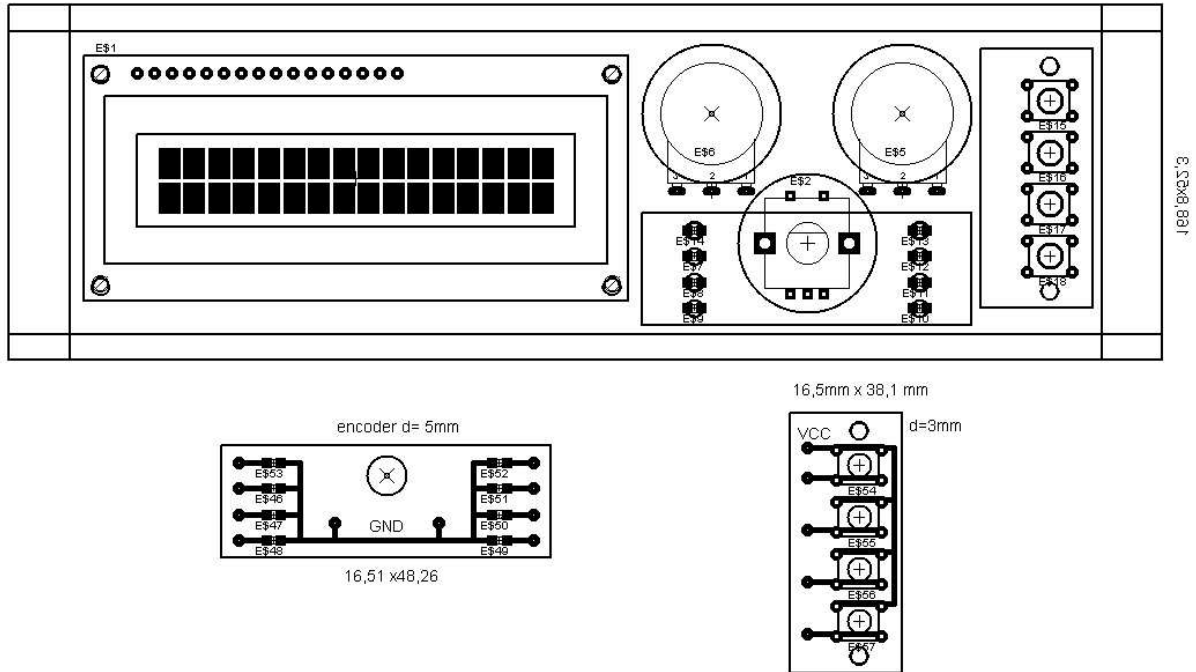
5.5. DOBOZOLÁS, ELŐLAP ÉS HÁTLAP

A jelgenerátort egy alumínium dobozban helyeztem el a megfelelő árnyékolás és tartósság érdekében. A doboz az előlap és a hátlap le vannak földelve. A nyákot, a sínes kialakítást kihasználva terveztem és helyeztem el a dobozban.

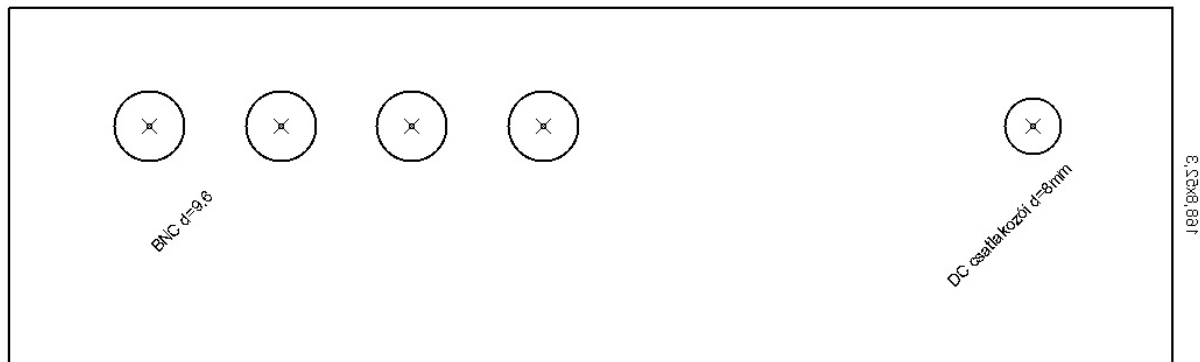


44. ábra A műszerdoboz méretei

Az előlapot és a hátlapot szintén Eagle 5.11 szoftverben terveztem meg és nyáklemezből készültek. Az előlap belső oldalán helyet kapott két kisebb nyák is az egyik a nyomógomboknak a másik pedig a státuszjelző ledeknek. Ez utóbbit két csavar rögzíti az előlaphoz belülről, előbbit pedig az enkóder tengelye tartja a megfelelő pozícióban.



45. ábra Az előlap tervei



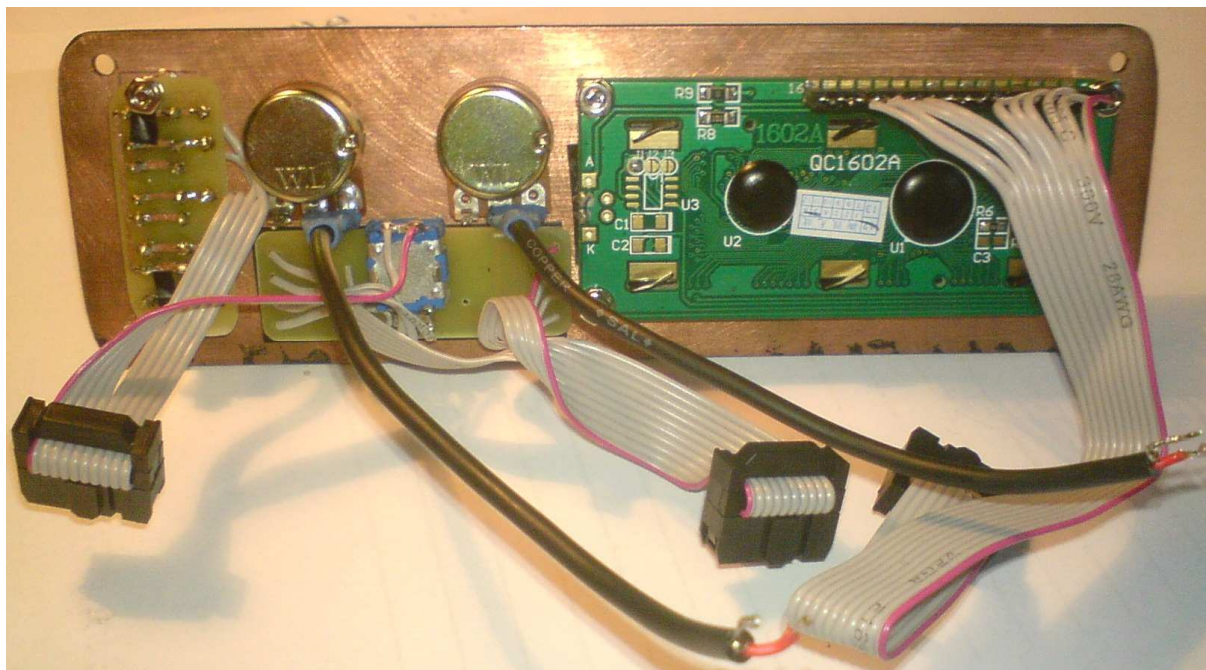
46. ábra A hátlap terve



47. ábra Az elkészült előlap



48. ábra Az elkészült hátlap



49. ábra Az elkészült előlap belső oldala



50. ábra A jelgenerátor működés közben

6. MÉRÉSI EREDMÉNYEK

Az elkészült jelgenerátor jellemzőit egy Tektronix TDS 1001B digitális tárolós oszcilloszkóppal mértem. Sajnos ez egy 40MHz-es oszcilloszkóp így a generátor tulajdonságait nem tudtam teljes kimeneti frekvenciatartományában vizsgálni de a mérési eredmények így is átfogó képet adnak a generátor kimeneti jeleinek minőségéről. Majd a pontosabb mérési eredmények érdekében egy Ghz-es mérési tartományú Tektronix frekvencia mérővel is elvégeztem a méréseket, ez sokkal pontosabb eredményeket hozott.

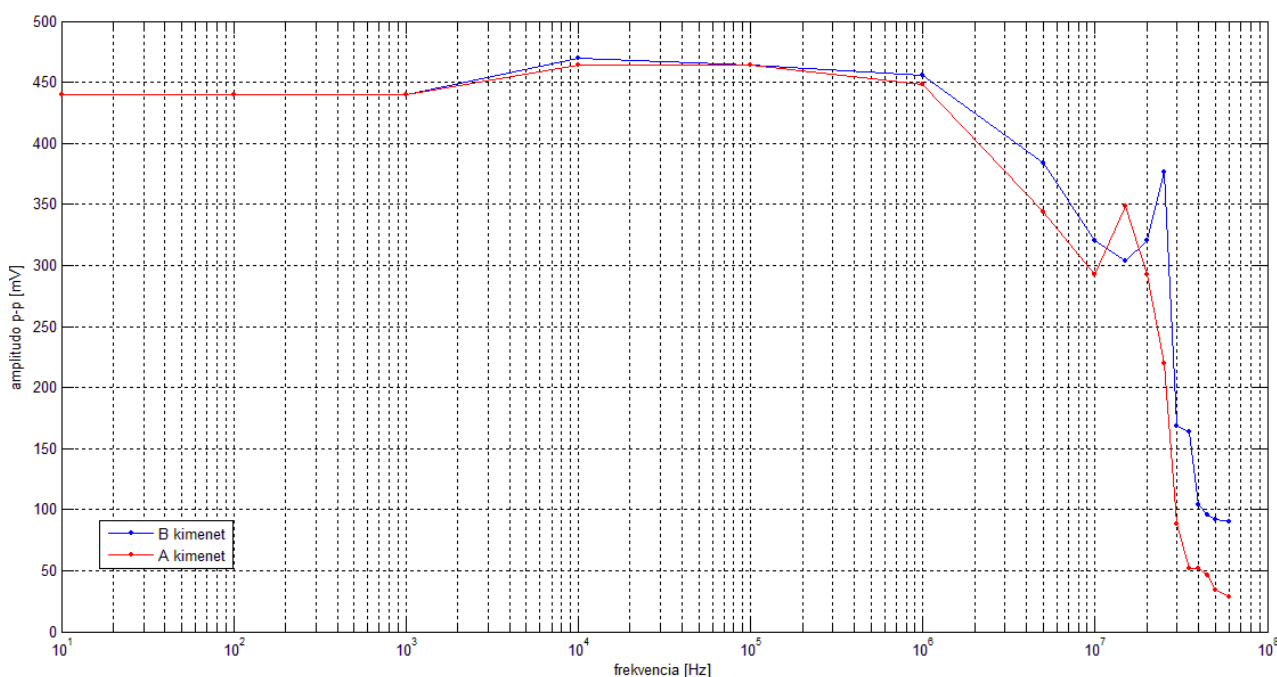
A csatornákat A-tól D-ig neveztem el. Hátról nézve a jobbszélső az A kimenet, tőle balra haladva pedig a B, C, D kimenetek helyezkednek el. Az A kimenet a DDS chip AD átalakítójának a kimenete, a fentebb vizsgált aluláteresztő szűrő ezen a csatornán van. A B kimeneten nincsen aluláteresztő szűrő. Az A és B kimentek egymással ellentétes fázisúak. A C és D kimentek a négyszögjel kimenetek. Ezeket az A és B kimenetekből állítja elő az AD9850 belső komparátora. A C és D kimentek szintén ellentétes fázisúak. A grafikonokat MatLabban készítettem a mért értékek alapján.

6.1 KIMENETI AMPLITÚDÓ VÁLTOZÁS ÉS FREKVENCIA BEÁLLÍTÁSI HIBA

F [Hz] beállított	Kimeneti jel p-p [mV] A csatorna	Kimeneti jel p-p [mV] B csatorna	Mért kimeneti frekvencia [Hz] A csatorna
10	440	440	9,99
100	440	440	99,961
1K	440	440	999,988
10K	464	470	10,0001 K
100K	464	464	100,001 K
1M	448	456	1,00001 M
5M	344	384	5,00003 M
10M	292	320	9,999989 M
15M	348	304	14,999983 M
20M	292	320	19,999979 M
25M	220	376	24,999973 M
30M	88	168	29,999968 M
35M	52	164	34,999964 M
40M	54	104	40,0008 M
45M	46	96	44,931 M
50M	34	92	50,4 M
60M	28	90	-

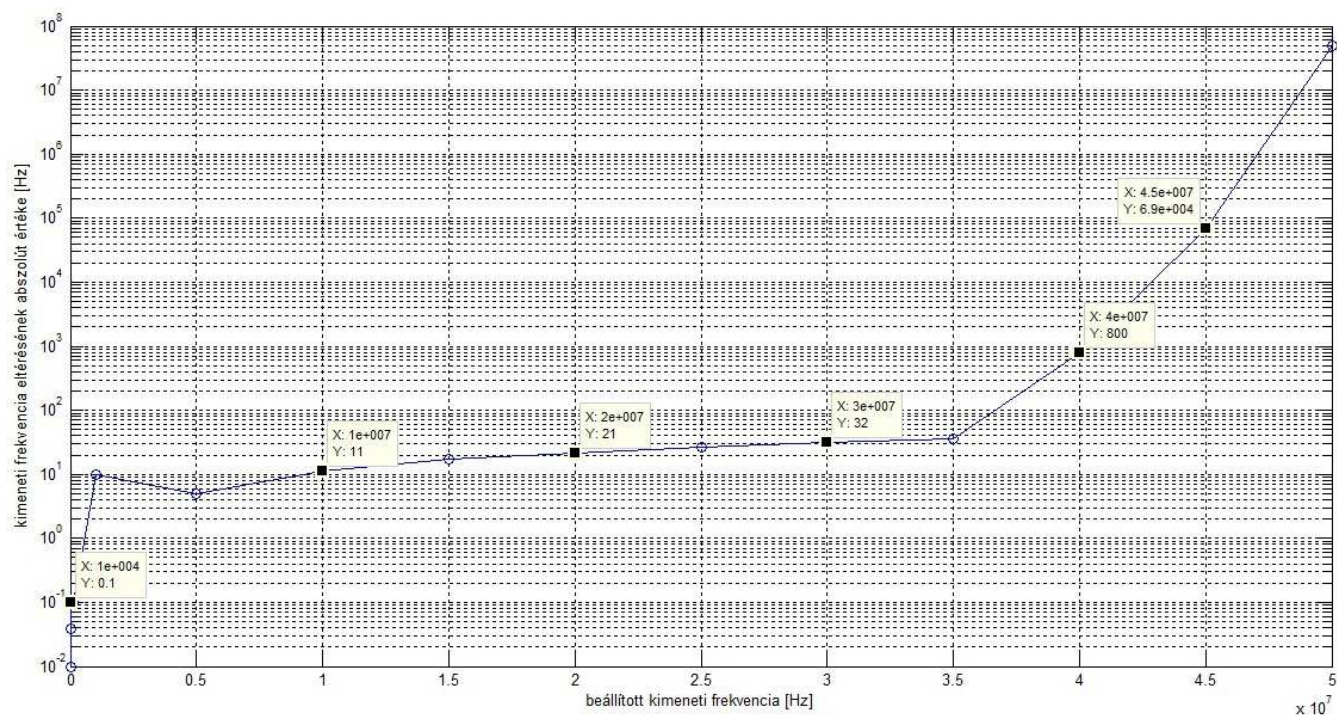
2. táblázat Kimenet amplitúdó változása és frekvencia beállítási hibája

A mérési eredményekből jól látszik az A és B csatornák amplitúdójának változása a frekvencia növekedésével. Észrevehető az A csatornán lévő aluláteresztő szűrő hatása is.

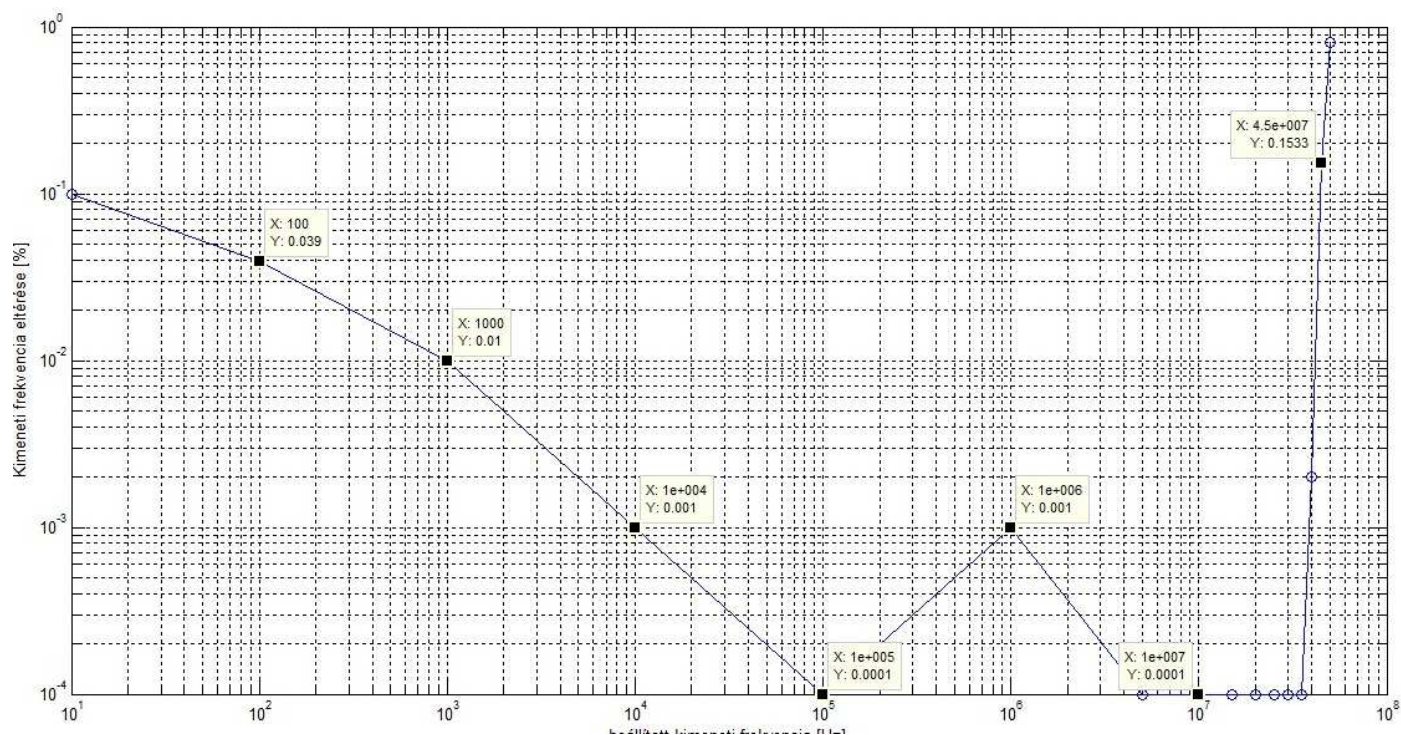


51. ábra Az A és B csatornák amplitúdójának változása frekvencia függvényében

A frekvencia beállítás hibáját csak az A csatornán mértem, mert az aluláteresztő szűrő hiánya a B csatornán olyan torz jelalakot okozott 30MHz-től, amely nem tette lehetővé a pontos frekvenciamérést főleg, hogy ez a frekvenciatartomány már így is az oszcilloszkóp felső méréshatárán volt. Az A csatornán azért mértem 60 MHz-ig az oszcilloszkóp méréshatárával ellentétben, mert azon még jól kivehető, spektrálisan tiszta és periodikus maradt a jel és a digitális oszcilloszkópok a mintavételezésből adódóan a periodikus jeleket pontosabban tudják mérni. Az ebben a tartományban kapott mérési eredmények már valószínűleg több mérési hibával rendelkeznek, de még így is informatív mérési pontok voltak. A következő ábrák a beállított és valós kimeneti frekvenciák közti eltérést szemléltetik. A frekvencia növekedésével az eltérés egyre nő. Ezt a hibát egyrészt a hangolószo számítás okozza másrészt pedig a DDS chip csonkolása az AD átalakító előtt.



52. ábra A frekvencia beállítás hibája (abszolútértékben)



53. ábra A frekvencia beállítás hibája (százalékban)

10 Hz környékén a beállíthatósági pontosság tized Hz körül mozog. A felső ábrán a kimentí frekvencia eltérésének abszolút értéke látható a beállítotthoz képest a frekvencia függvényében. Az ez alatti képen pedig a hibát láthatjuk százalékos formában.

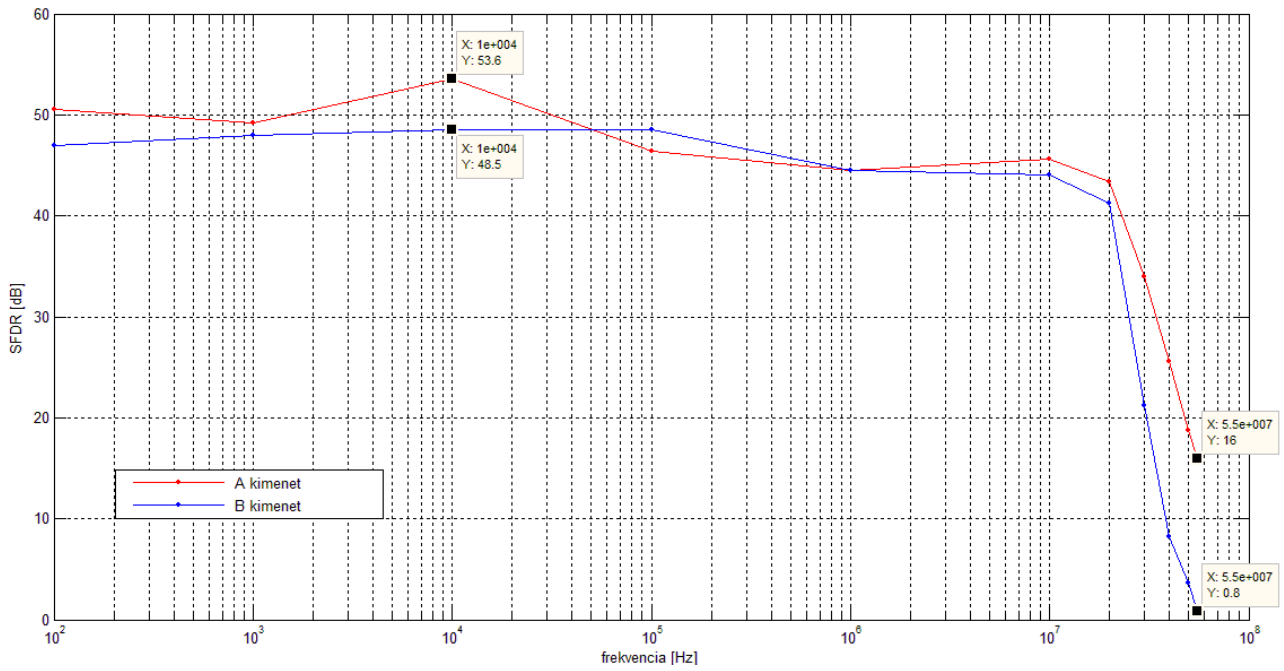
6.2. A ÉS B CSATORNÁK TORZÍTÁSMENTES DINAMIKA TARTOMÁNYA

A következő táblázat az A és B csatornák torzítás mentes dinamika tartományát (SFDR) szemlélteti az alap harmonikushoz képest. Itt is szembeűnő a különbség az A és B csatornák közt. Az eltérés oka szintén az A csatorna aluláteresztő szűrője. Az előzőekben látható volt az A csatorna amplitúdó csökkenése a B-hez képest, viszont megfigyelhető, hogy cserébe jóval tisztább, kevésbé zajosabb az A mint a B csatorna.

A B csatorna esetében 40-50 MHz felett már csak pár dB a különbség az alapharmonikus és a legnagyobb amplitúdójú zavarjel közt, ezzel szemben az A csatornán ez 25-16 dB ugyanazon a frekvenciákon.

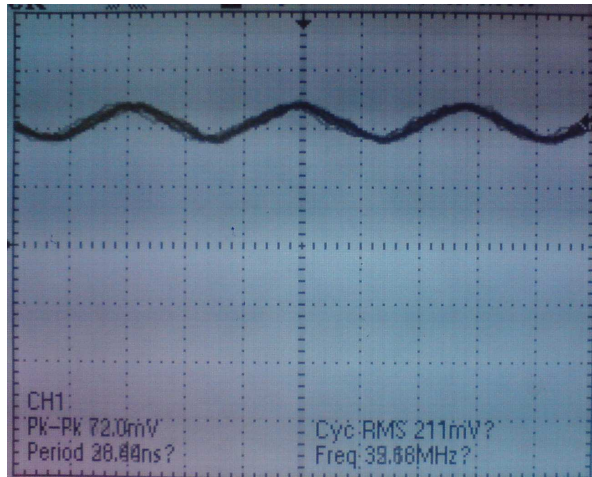
F [Hz]	Alapharm. [dB] A csatorna	Alapharm. [dB] B csatorna	SFDR [dB] A csatorna	SFDR [dB] B csatorna
100	-16,5	-16,5	50,5	47
1K	-16,5	-16,5	49,2	48
10K	-16,5	-16,5	53,6	48,5
100K	-16,5	-16,5	46,4	48,5
1M	-16,5	-16,5	44,5	44,5
10M	-19,4	-19,8	45,6	44,0
20M	-18,6	-18,6	43,4	41,2
30M	-29,0	-25,0	34,0	21,2
40M	-35,8	-31,8	25,6	8,2
50M	-42,6	-35,4	18,8	3,6
55M	-48,2	-36,6	16,0	0,8

3. táblázat A és B csatornák zavarmentes dinamika tartománya

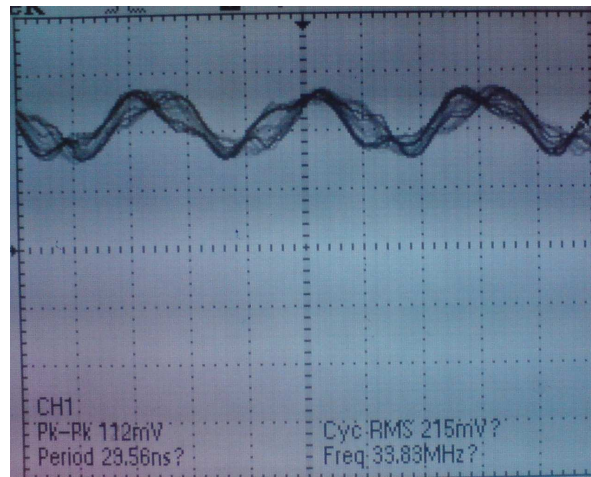


54. ábra A és B csatorna zavarmentes dinamika tartománya

Az 55. ábrán az A csatorna kimeneti jele látható 35 MHz-nél, az 56.-on pedig a B csatorna ugyanezen a frekvencián. Szembetűnő a különbség melyet az aluláteresztő szűrő okoz.



55. ábra "B" csatorna $f=35$ MHz



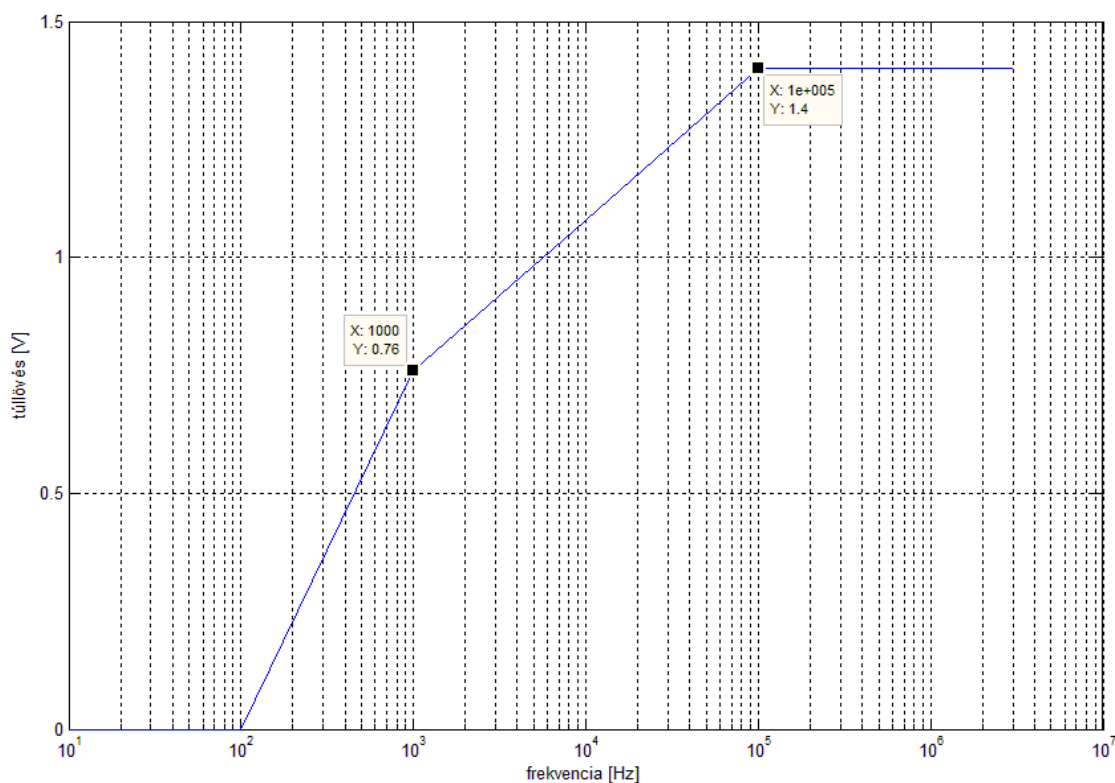
56. ábra "A" csatorna $f=35$ MHz

6.3. C ÉS D CSATORNÁK VIZSGÁLATA

Ez a két kimenet négyszögjel kimenet. A belső komparátor állítja őket elő. A jelek 5V-os tápfeszültség mellett 0 és +5 V közt változtatják értéküket frekvenciától függetlenül. Viszont a mérési eredményekből látszik, hogy a túllövés növekedik a frekvencia növekedésével. 100 KHz-től már egész nagy, 1.4 V-os csúcsok vannak a felfutó és lefutó éleken. Ez az 1,4 V az 5 V-hoz képest már 28 %-os túllövést jelent, ami lehetne jobb is.

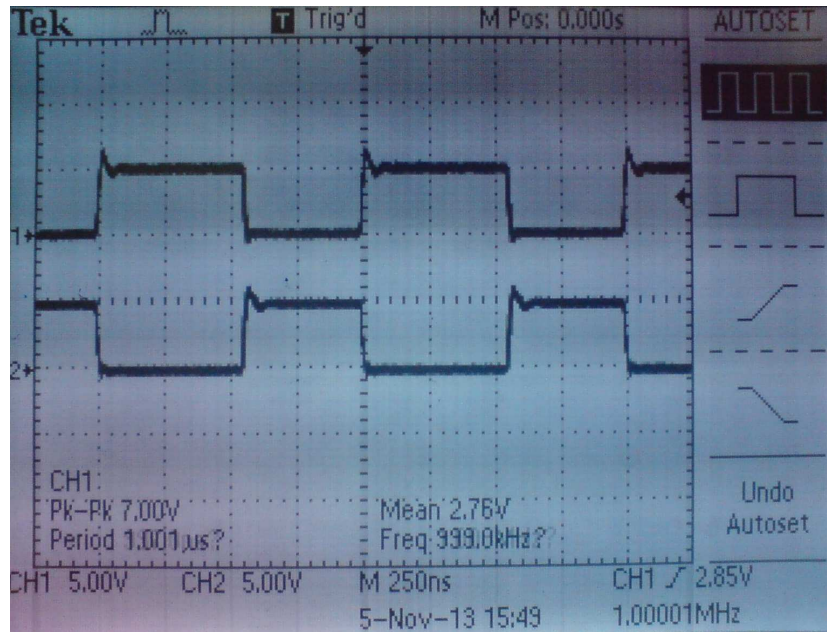
F [Hz] beállított	Túllövés [V] C és D csatorna	Mért kimeneti frekvencia [Hz] C és D csatorna
10	0	10,0001
100	0	99,9682
1K	0,76	999,998
10K	1,08	10,0001 K
100K	1,40	100,001 K
1M	1,40	1,00001 M
2M	1,40	2,00002 M
3M	1,40	3,00003 M

4. táblázat C és D csatorna túllövése és kimeneti frekvenciája

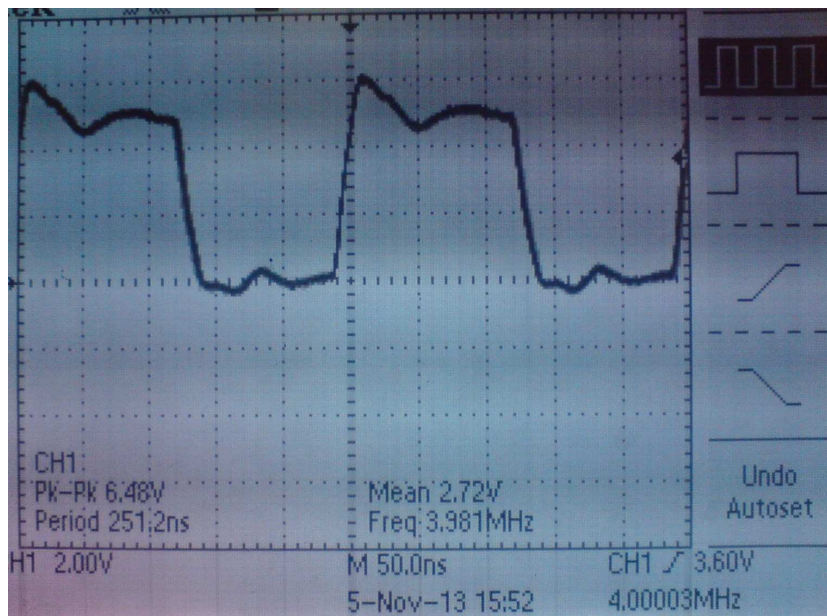


57. ábra C és D csatornák túllövése frekvencia függvényében

Az alábbi képen a C és D kimeneti jelek láthatóak 1 Mhz -es frekvenciánál. Megfigyelhető a túllövés a felfutó éleken, a lefutó éleken csak magasabb frekvenciákon jelentkeznek.



58. ábra C és D csatorna $f=1\text{MHz}$



59. ábra C csatorna $f=4\text{MHz}$

7. ÖSSZEGZÉS

Az elkészült jelgenerátor paraméterei igen kedvezőek a mérési eredmények alapján. Az A csatorna kimeneti jele 45 MHz-ig jól használható, a B csatorna kimeneti jele sajnos az aluláteresztő szűrő hiánya miatt csak 30 MHz alatti frekvenciákon nyújt elégséges minőséget mind jelalak mind pedig amplitúdó terén. A C és D négyszögjel kimenetek 2-3 MHz-ig elfogadhatóak, de magasabb frekvenciákon az alakjuk erősen torzul. A felfutó élek túllövése a frekvenciával arányosan növekszik, maximális érték 1.4 V ami nem túl jó.

Későbbi továbbfejlesztés keretein belül célszerű lenne egy kimeneti erősítő tervezése amellyel legalább 4-5 V_{pp} amplitúdójú kimeneti jel elérhető az A és B csatornákon. Továbbá egy az A csatornáéhoz hasonló aluláteresztő szűrő be iktatása a B csatornába, így az is jobban kihasználható lenne. Az amplitúdó és kitöltési tényező változtató potméterek digitális potméterekkel való helyettesítése a finomabb és pontosabb változtathatóság érdekében. Extra funkciók hozzáadása a nyomógombokhoz, mint a sweep üzemmód, gombnyomásra változtatható fázishelyzet. Az ilyen jellegű fejlesztésekre még bőven maradt a mikrovezérlőnek szabad kapacitása.

Összességében egy igen kedvező paraméterekkel rendelkező jelgenerátor épült meg körülbelül tízezer forintnyi anyagköltségből. A további fejlesztések anyagköltsége további hat-hét ezer Ft ráfordításból megépülhetne, így egy sokoldalúan felhasználható, oktatási és hobbicélokra kielégítő műszert kapva.

SUMMARY

The main topic of this essay is preparing of a DDS signal generator, with sinus and square output signals with relatively big bandwidth, approximately 30-40 MHz, and presentation of the technical background of the used devices and technologies. Demonstrate the main advantages and disadvantages of the digital signal synthesis, the very low phase noise, high accuracy, phase continuous frequency adjusting, calculating and truncation errors and other properties. Usage of the most popular DDS chip, the AD9850, and presenting the usable designer softwares.

The second part of the essay demonstrating the construction and designing process of the signal generator, and illustrating the real properties of the completed device via measurement results.

According to the measurements the channel A which has a low pass filter is usable up to 45 MHz, but unfortunately the channel B which hasn't dispose low pass filter had worst results. The C and D square output channels usable approximately to 3-4 MHz, but they have overshoot, which is growing with the frequency up to 1.4 V spikes on the rising edges.

9. FORRÁS ÉS ÁBRA JEGYZÉK

- [*] - <http://designtools.analog.com/dtDDSWeb/dtDDSMMain.aspx>
- [1] Direct Digital Synthesis (DDS) - Dr Jeffery H. Reed
- [2] All About Direct Digital Synthesis – Eva Murphy, Colm Slattery
<http://www.analog.com/library/analogdialogue/archives/38-08/dds.pdf>
- [3] A Technical Tutorial on Direct Digital Synthesis – Analog Devices
<http://www.ieee.li/pdf/essay/dds.pdf>
- [4] Direct Digital Synthesis Theory & Applications – Paul Smith
- [5] AD9850 datasheet
http://www.analog.com/static/imported-files/data_sheets/AD9850.pdf
- [6] Atmega128 datasheet <http://www.atmel.com/Images/doc2467.pdf>
- [7] HD44780 datasheet
<http://pdf1.alldatasheet.com/datasheet-pdf/view/63673/HITACHI/HD44780.html>
- [8] Encoder datasheet http://www.soselectronic.hu/a_info/resource/a/pdf/ec11.pdf
- [9] Bascom könyv, Enkóderek
<http://avr.tavir.hu/modules.php?name=Content&pa=showpage&pid=19>
- [10] AD9850 modul user manual
http://www.elechouse.com/elechouse/images/product/AD985x%20DDS%20Module/ad9850_1%20manual.pdf
- [11] EIM 377 user manual
http://reipoom.files.wordpress.com/2013/08/eim377_ad9850_signal_generator_module_v01.pdf

1.kép A Technical Tutorial on Digital Signal Synthesis by Analog Devices

<http://www.ieee.li/pdf/essay/dds.pdf>

3.kép All about Direct Digital Synthesis By Eva Murphy Colm Slattery

<http://www.analog.com/library/analogdialogue/archives/38-08/dds.pdf>

4.kép All about Direct Digital Synthesis By Eva Murphy Colm Slattery

5.kép <http://designtools.analog.com/dtDDSWeb/dtDDSMMain.aspx>

6.kép <http://designtools.analog.com/dtDDSWeb/dtDDSMMain.aspx>

7.kép <http://designtools.analog.com/dtDDSWeb/dtDDSMMain.aspx>

9.kép <http://ebay.com>

10.kép <http://ebay.com>

13.kép <http://ebay.com>

14.kép <http://ebay.com>

18.kép AD9850 adatlap http://www.analog.com/static/imported-files/data_sheets/AD9850.pdf

20.kép AD9850 adatlap http://www.analog.com/static/imported-files/data_sheets/AD9850.pdf

22.kép <http://designtools.analog.com/dtDDSWeb/dtDDSMMain.aspx>

24.kép <http://www.hessmer.org/blog/2010/04/08/building-a-self-balancing-robot-%E2%80%93-motor-driver-and-wheel-encoder/>

25.kép enkóder adatlap http://www.soselectronic.hu/a_info/resource/a/pdf/ec11.pdf

28.kép ATmega128 adatlap <http://www.atmel.com/Images/doc2467.pdf>

29.kép ATmega128 adatlap <http://www.atmel.com/Images/doc2467.pdf>

30.kép ATmega128 adatlap <http://www.atmel.com/Images/doc2467.pdf>

33.kép <http://ebay.com>

35.kép HD44780 adatlap

<http://pdf1.alldatasheet.com/datasheet-pdf/view/63673/HITACHI/HD44780.html>

36.kép HD44780 adatlap <http://pdf1.alldatasheet.com/datasheet-pdf/view/63673/HITACHI/HD44780.html>

37.kép HD44780 adatlap <http://pdf1.alldatasheet.com/datasheet-pdf/view/63673/HITACHI/HD44780.html>

40.kép <http://ebay.com>

44.kép <http://www.bopla.de/en/enclosure-technology/product/alubos/alubos-1600-enclosure-profiles.html>