



Új kutatások a félvezető memóriák technológiája és architektúrája területén

**Szandtner Zoltán
Budapest
2014**

NYILATKOZAT
a pályamű eredetiségéről

Alulírott **Szandtner Zoltán**, a Gábor Dénes Főiskola **mérnök informatikus** szakos hallgatója, felelősségem tudatában kijelentem, hogy a jelen

„Új kutatások a félvezető memóriák technológiája és architektúrája területén”

című, pályamű a saját, önálló munkám eredménye.

A nyomtatott vagy elektronikus forrásokból idézett, átvett vagy átfogalmazva felhasznált részeket megjelöltem, azok hivatkozási adatait az irodalomjegyzékben megadtam.

Budapest,

.....

aláírás

KONZULENSI LAP

- 6. A konzulens neve: Dr. Vári-Kakas István
munkahelye: GDF Alap és Műszaki Tudományi Intézet
- 7. A dolgozat készítőjének neve: Szandtner Zoltán
- 8. A dolgozat címe: Új kutatások a félvezető memóriák technológiája és architektúrája területén

A konzulens nyilatkozata

Alulírott, **Dr. Vári-Kakas István** a dolgozatot eredetiség szempontjából átvizsgáltam, plagizált tartalommal nem találkoztam.

A dolgozat A TDK házi versenyre beadható.

Budapest,

.....

konzulens aláírása

Szandtner Zoltán

Gábor Dénes Főiskola, mérnök-informatikus szak, IV. évfolyam

Konzulens: **Dr. Vári-Kakas István**

főiskolai tanár

**ÚJ KUTATÁSOK A FÉLVEZETŐ MEMÓRIÁK
TECHNOLÓGIÁJA ÉS ARCHITEKTÚRÁJA TERÜLETÉN**

Az Intel „Platform 2015”-ös előrejelzésében a szivárgási áramok okozta hőtermelés után a főtár a processzorhoz képest sokkal nagyobb elérési idejét tartották a számítási teljesítmény növekedés legnagyobb gátjának [1]. Ezen problémát szokás „memória falnak” is hívni.

A dolgozat elején egy rövid áttekintést nyújtok a jelenleg fejlesztés alatt lévő, érett memória-technológiákról, megmutatom, hogy a fejlődés mely irányok mentén zajlik, összehasonlítom ezek főbb jellemzőit a „memória fal” probléma által felvetett követelmények jegyében.

A technológiák közül az STT-RAM-on részletesebb, szimulációs vizsgálatot végeztem, mind az alkatrész, mind az architektúra szinten, ismertetve a használt eszközök és a mérések jellegzetességeit. A kapott eredmények alapján meghatározom az STT-RAM nyújtotta memória architektúrák lehetséges képességeit a hagyományos SRAM, DRAM technológiákkal összevetve.

ABSTRACT

Szandtner Zoltán

Dennis Gabor College, computer engineering course, 4th year

Consultant: **Dr. Vári-Kakas István**
college professor

RESEARCH DEVELOPMENTS IN SEMICONDUCTOR MEMORY TECHNOLOGY AND ARCHITECTURES

In its „Platform 2015” white paper, beside the excess power consumption and thus heat buildup caused by leakage currents, Intel has named the increased latency of main memory compared to the CPU as the greatest barrier to increasing computational performance [1]. This problem is also often called the “memory wall”.

I will provide a short overview of mature memory technologies under development, discerns the main avenues of progress and compare the main specs and features of these technologies in regards to the demands of the “memory wall” problem.

From the above technologies, I will examine STT-RAM in detail using cell and architecture level simulation tools accompanied by a description of the tools and measurements qualities.

Using the simulation results, I define the advantages and specs of STT-RAM architectures compared to traditional SRAM/DRAM ones.

Tartalomjegyzék

1. Bevezetés	7
2. A memóriafal-probléma.....	7
3. Új memória-technológiák	8
4. A memória-technológiák összehasonlítása	9
5. Az STT-RAM működése	10
6. Kitűzött célok.....	11
7. Mérések menete	11
8. A SPICE modell.....	12
9. NVMSpice mérések	15
10. NVSim mérések	19
11. Konklúzió	19
12. Irodalomjegyzék.....	20
13. Ábrajegyzék	21
14. Táblázatjegyzék:.....	22

1. Bevezetés

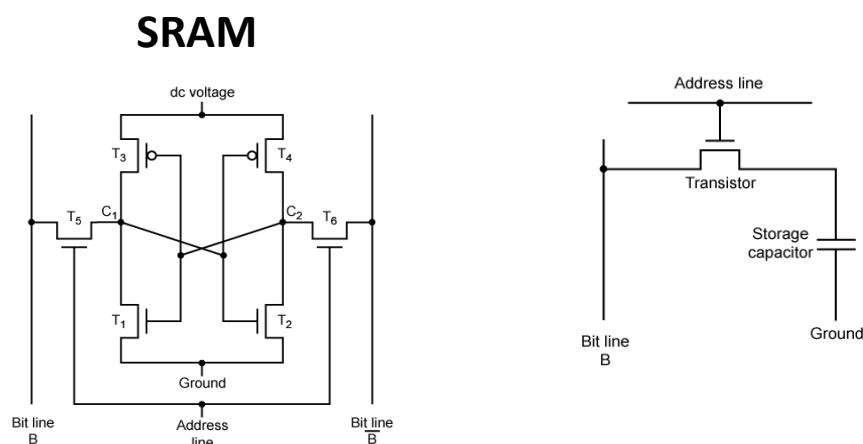
Az Intel „Platform 2015”-ös előrejelzésében a szivárgási áramok okozta hőtermelés után a főtár a processzorhoz képest sokkal nagyobb elérési idejét tartották a számítási teljesítmény növekedés legnagyobb gátjának [1]. Ezen problémát szokás „memória falnak” is hívni.

A dolgozat elején egy rövid áttekintést nyújtok a jelenleg fejlesztés alatt lévő, érett memóriatechnológiákról, megmutatom, hogy a fejlődés mely irányok mentén zajlik, összehasonlítom ezek főbb jellemzőit a „memória fal” probléma által felvetett követelmények jegyében.

A technológiák közül az STT-RAM-on részletesebb, szimulációs vizsgálatot végeztem, mind az alkatrész, mind az architektúra szinten, ismertetve a használt eszközök és a mérések jellegzetességeit. A kapott eredmények alapján meghatároztam az STT-RAM nyújtotta memória architektúrák lehetséges képességeit a hagyományos SRAM, DRAM technológiákkal összevetve.

2. A memóriafal-probléma

Az ideális memória gyors, nagy kapacitású, olcsó. A gyártásban ez kompromisszumokat jelentett, ami a ma ismert hierarchikus memória architektúrákhoz vezetett. Ezt az alkalmazott két fő technológia, az SRAM (statikus memória) és a DRAM (dinamikus memória) közti különbségek okozzák (1. ábra).



1. ábra: SRAM és DRAM cellák [2].

Az SRAM nagy, akár 3–4 GHz-es órajelen is üzemeltethető, gyors, de kis sűrűségű, ezért drága és korlátozott kapacitású. A DRAM egyszerű felépítésű, ezért olcsó, nagy kapacitású, de lassú, maximális órajele tipikusan 100–300 MHz közé esik.

A memória hierarchia szintjein lefelé haladva a nagy gyorsaságtól a nagy kapacitás felé jutunk. A két fő tároló, a processzor gyors regiszterei és a nagy kapacitású főtár közti szakadékot a köztes elérési idejű és kapacitású gyorsító táruk (cache) hidalják át (1. táblázat).

Tároló	Regiszterek	L1 cache	L2 cache	L3 cache	Főtár
Hozzáférés	0,3 ns	1 ns	4 ns	5 ns	7-10 ns
Technológia	SRAM	SRAM	SRAM	SRAM	DRAM
Üzem mód	statikus	statikus	statikus	statikus	dinamikus
Alkatrész/cella	6 tranzisztor	6 tranzisztor	4–6 tranzisztor	4–6 tranzisztor	1 tranzisztor + 1 kondenzátor
Maximum kapacitás/chip	~1 KB	64 KB	256 KB	3–12 MB	4–8 GB

1. táblázat: Mai memória hierarchia [3].

3. Új memória-technológiák

Technológiai vonalon, három fő ágra bonthatjuk a fejlesztéseket:

1. Meglévő technológiák finomítása
2. Előrehaladt kutatások alkalmazása
3. Új alapkutatások felhasználása

A meglévő technológiák finomítása úgy mond „kondenzátormentes”, kapacitív dinamikus memóriákat jelent, a TTRAM-ot (*Twin Transistor RAM*) és a T-RAM-ot (*Thyristor RAM*). A TTRAM két SOI-n (*Silicone On Insulator*) létrehozott sorba kapcsolt tranzisztorból áll, ahol a második a kondenzátor szerepét tölti be a közé és szigetelő közé „szorult” töltést kihasználva [4]. A T-RAM a tirisztor természetes NDR (*Negative Differential Resistance*) karakterisztikáját használja [5]. A gyors „programozhatóságot” a kapura kötött parazitív-kondenzátor teszi lehetővé [6] [7].

Az előrehaladt kutatások mind változtatható ellenállású alkatrészek. Az STT-RAM (*Spin-Transfer Torque RAM*), a névadó spin-átviteli nyomaték (STT) mechanizmust használja egy szabad mágneses réteg polaritásának változtatására. A kiolvasás elve megegyezik a magneto-rezisztos olvasófejekével. Az RRAM (*Resistive RAM*) a változtatható vezetésű ellenállás segítségével tárol információt. Formázással szálvezetést hozunk létre, amit aztán egy uni- vagy

bipoláris *reset*-tel részben megszüntetünk. Ezt követően már kisebb feszültségű *set*-tel lehet a vezetést ismét létrehozni [8].

Jelen áttekintésben a fenti technológiák közül csak a meglévő és előrehaladt kutatásokra térünk ki. Az áttekintés nem tér ki a PCRAM (*Phase-Change RAM*) jellegzetességeire, mivel ugyan érett technológiának számít, de nagy elérési ideje miatt a memóriafal probléma szempontjaiból nem releváns. Szintúgy nem lesz szó az új alap kutatások eredményeként született technológiákról, mint például a grafénről vagy a szén nanocsőről sem.

4. A memória-technológiák összehasonlítása

A memória-technológiák összehasonlítását cella szinten érdemes elkezdni, mivel tömb vagy bank szinten már a kapcsolóhálózat is nagymértékben befolyásolja a működést. Cella szinten az írási és olvasási műveletek közti időkülönbség már jelentős lehet, s tipikusan az utóbbi lassabb. Összehasonlító táblázatomban ezért elérési idő helyett a kapcsolási időket írtam. A kapcsolási idő az az idő, mialatt a cella tároló elemei állapotot váltanak, azaz a $0 \rightarrow 1$ és $1 \rightarrow 0$ írási műveletek ideje. A két művelet eltérő időigényű is lehet. (2. táblázat)

Memória	SRAM [3]	DRAM [3]	TTRAM [4]	T-RAM [6] [7]	SST-RAM [9]	RRAM [8]
Kapcsolási idő	0,5 ns	2–10 ns	2–10 ns	0,7 ns	0,5–20 ns	5–10 ns
Üzem mód	statikus	dinamikus	dinamikus	dinamikus	perzisztens	perzisztens
Alkarész/cella	6T	1T1C	1T1T	1T1R	1T1R	1T1R
Frissítési idő	N/A	≤ 64 ms	64–2000 ms	266–1500 ms	N/A	N/A
Írható/bit	∞	∞	∞	∞	$>10^{14}$	10^6 – 10^{10}
Maximum kapacitás/chip	64 KB–16 MB	4–8 GB	nem ismert	nem ismert	4–16 MB	1 TB

2. táblázat: Új memória-technológiák.

Az összes vizsgált memóriánál kitétel volt, hogy kapcsolási ideje legalább összemérhető legyen a DRAM-mal. Mindegyik új technológia sajátja, hogy lényegesen nagyobb alkatrész-sűrűségűek, mint az SRAM.

A kellően kicsi kapcsolási idejű technológiáknál ezért cache-ként alkalmazva jelentős kapacitás növelés érhető el.

Jelen kutatás kritériumai szerint a TTRM és utódja, a Z-RAM technológiák kis jelszint különbségük miatt meghaladtak, de egy esetleges energiafogyasztást is vizsgáló kutatásban még jól szerepelhetnek.

Egyszerűsége, sűrűsége és sebessége folytán a T-RAM rendkívül ígéretes akár főtár akár cache-ként. Sajnos a technológiáról több éve nem született új cikk, így további vizsgálata nem volt lehetséges.

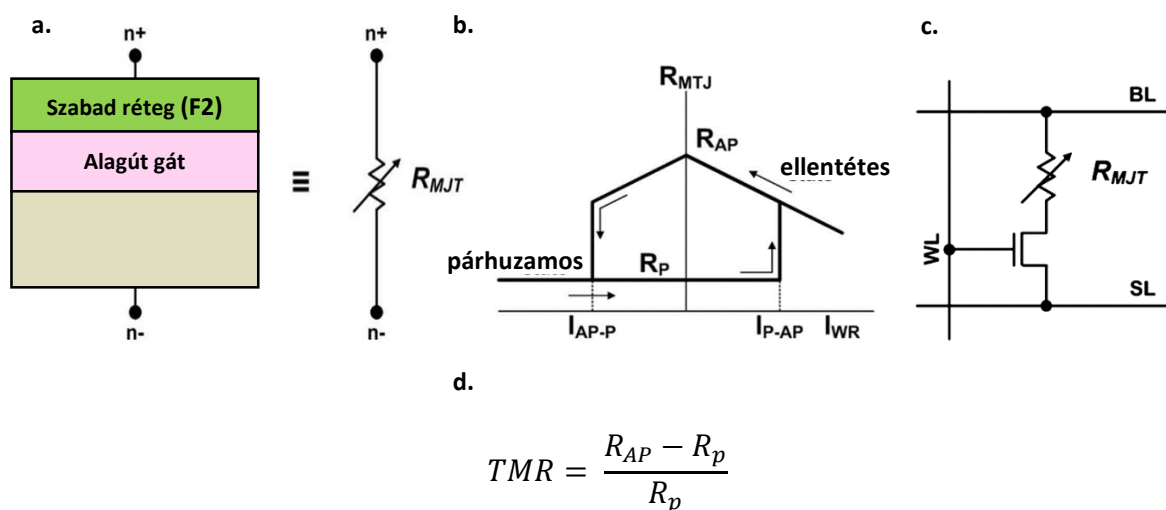
A másik két technológia perzisztens természete folytán további előnyökkel is járhat. Közülük az RRAM olcsóbb, várhatóan nagyobb kapacitású, de csak 10^6 – 10^{10} írást visel el bitenként, szemben a drágább STT-RAM $>10^{14}$ értékével, ezért az STT-RAM alkalmasabb DRAM alkalmazásokhoz, míg az RRAM háttértárként sokkal gazdaságosabb.

A fenti okokból az STT-RAM volt a legígéretesebb technológia mélyebb vizsgálatra.

5. Az STT-RAM működése

Az STT-RAM az MRAM (*Magnetoresistive RAM*) második generációja.

Az MRAM-ban, az adatot egy mágneses alagút ellenállás (*Magnetic Tunneling Junction* = MTJ) mágneses rétegeinek polarizációja hordozza. Az MTJ egy szigetelő réteggel elválasztott rögzített és egy szabad mágnesezettségű rétegből áll (2. ábra - a.).



2. ábra: Egyszerűsített STT-RAM cella. [8]

Párhuzamos polaritás (R_p) esetén alacsony, az ellentétes polaritás (R_{ap}) esetén magas az eszköz ellenállása (2. ábra - b). A különféle MTJ-ket szokás mágneses-alagútellenállás arányukkal is jellemezni (*Tunneling Magnetoresistance Ratio* = TMR, 2. ábra - d.). Leszámítva, hogy kondenzátor helyett MTJ-t használunk, a memória cella felépítése megegyezik a DRAM-ével. A legegyszerűbb kiolvasás itt is referenciacellák használatával történik (2. ábra – c), de a DRAM-mal ellentétben feszültség helyett áramerősséget mérünk.

Az első generációs MRAM közvetlen mágneses indukciót használt a szabad réteg polarizációjának írására, amely gátat szabott a miniaturizálhatóságnak, mivel adott méret alatt az indukció a környező cellákat is befolyásolta.

A második generációs MRAM, az STT-RAM közvetlen indukció helyett az STT jelenséget használja, ahol egy rögzített mágnesezettségű, szerepe miatt gyakran spin szűrőnek is nevezett mágneses rétegen áthaladó áram spin polarizálttá válik, s képes lesz egy vékony, szabad réteg mágnesezettségének kilendítésére, irányváltására. Mivel az írás indukció helyett áram segítségével történik, ez nem befolyásolja a környező cellák állapotát. További előny, hogy az új cella teljesen CMOS kompatibilis, ami nagyban felgyorsította a fejlesztéseket.

6. Kitűzött célok

A munkámat nagyban bonyolította, hogy a terület rohamos fejlődése miatt akár az egy-két éve publikált irodalom is gyakran már meghaladott. Számos kutatási irány (helyettesítő áramkörös modell fejlesztése, nem permanens STT-cella modellezés) merült fel, melyeket a kutatás során olvasott frissebb publikációk már lefedtek.

A tanulmányom így elsősorban a mérési módszertan ismertetésére koncentrál, másodsorban az STT-RAM szimuláción alapuló méréseit végeztem el.

7. Mérések menete

A méréseim elsősorban a University of Virginia, „The STeTSiMS: STT-RAM Simulation and Modeling System” (STeTSiMS) cikkében közölt alkatrész adatokra támaszkodnak [10]. Ennek oka, hogy a tanulmány rendszerezve és egymáshoz képest normalizálva tartalmazza a mérésekhez szükséges bemeneti paramétereket, melyeket az irodalom jelentős része csak hiányosan és modellezési sajátosságokból adódóan nem összehasonlítható formában közöl.

Először a használt SPICE modell és paramétereinek jobb megismerése céljából cella szintű méréseket végeztem NVMSpice szoftverrel [11]. Ezt követően a STeTSiMS adatokat felhasználva NVSim méréseket szeretnék végezni. Akárcsak az STeTSiMS-ben használt CACTI 6.3, az NVSim is egy statikus memóriaarchitektúra-modellező eszköz. A CACTI-val ellentétben a Penn State University munkatársai által fejlesztett NVSim képes olyan paraméterek finomhangolására is, amikre a CACTI csak az SRAM/DRAM rögzített ipari paramétereit tudja használni [12].

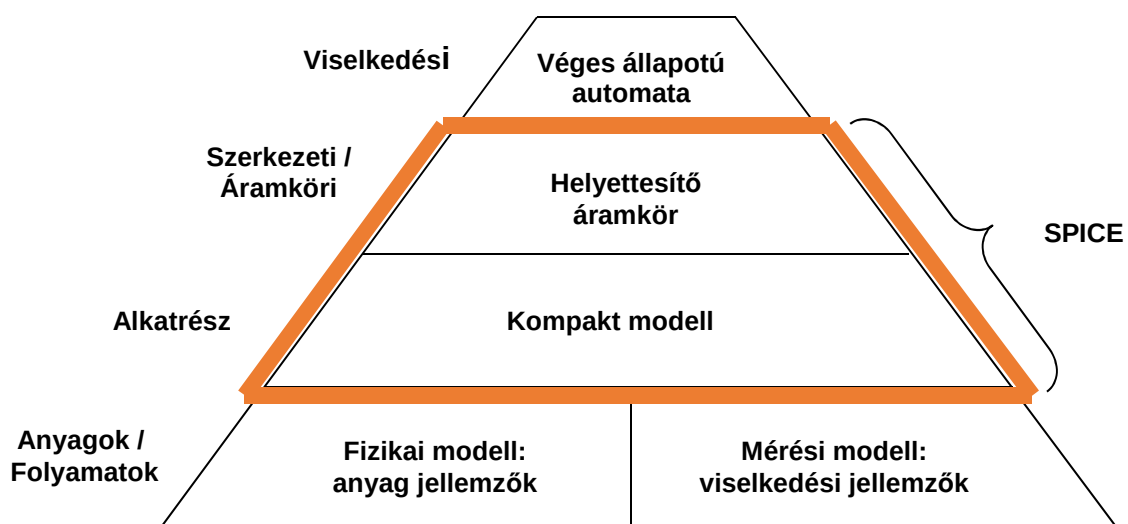
8. A SPICE modell

Az új eszközök litográfias gyártása meglehetősen drága, ezért a szimulációs eszközök használata ma már a fejlesztéseknek is integrált része. Mivel a használt modellek és szoftverek már a felsőoktatásban is elérhetők, így lehetőségünk van saját méréseket is végezni az elemi cellán.

Hierarchikus memória modell

A szimulációs mérés jellegétől függően különböző mértékű absztrakció engedhető meg a használt modellben. Elengedhetetlen követelmény, hogy a modell kellő hibapontossággal kövesse a valós eszközökön mért eredményeket. További igény, hogy a modell számításigénye igazodjon a modellezett architektúra komplexitásához.

Az egymásnak ellentmondó igények hierarchikus memóriamodellezéshez vezettek, ahol a szinteken fölfelé haladva egyre nagyobb absztrakciójú modelleket használunk melyek bemeneti paraméterként az alsóbb szintek mérési eredményeire támaszkodnak (3. ábra).



3. ábra: Modellhierarchia [13].

Az áramkör szimulációban a Berkeley SPICE és változatai gyakorlatilag etalonnak számítanak. A mérésekhez az NVMSpice beépített kompakt modelljét használtam [14], de a modell paramétereink megértését nagyban segíti a SPICE modell alapját képező fizikai modell ismerete.

Fizikai modell

A szabad réteg mágnesezettségét ($\vec{M}$) a szakirodalomból közismert 3D Landau–Lifshitz–Gilbert (LLG) egyenlet írja le [15]:

$$\frac{d\vec{M}}{dt} = \overset{\text{Zeeman}}{-\gamma\mu_0\vec{M} \times \vec{H}_{eff}} - \overset{\text{Anizotróp}}{\gamma \frac{2K}{M_s^2} (\vec{M} \cdot \vec{u}_{ea}) \cdot (\vec{M} \times \vec{u}_{ea})} + \overset{\text{Csillapítás}}{\frac{\alpha}{M_s} \vec{M} \times \frac{d\vec{M}}{dt}} + \overset{\text{STT}}{\eta \frac{\mu_B I}{eV}} \quad (1)$$

A fenti egyenlet paramétereit a következők:

M_s = mágneses saturáció, eszközjellemző	$\vec{H}_{eff}$ = effektív külső mágneses tér
$\gamma = 1.76 \cdot 10^{11} \frac{rad}{sT}$ giromágneses állandó	K = anizotrópia konstans, anyagjellemző
$\mu_0 = 4\pi \cdot 10^{-7} \frac{H}{m}$ vákuum permeabilitás	α = csillapítási konstans
$\mu_B \approx 9.27 \cdot 10^{-24} \frac{J}{T}$ = Bohr magneton	$\eta \approx 1$ = spin-átvitel hatásfoka
	$e \approx 1,6 \cdot 10^{-19}$ = elemi töltés

A Zeeman energia ($\vec{Z}$) az $\vec{H}_{eff}$ irányába fordítja a mágnesezettség teret ($\vec{M}$). Az STT-RAM ugyan nem használ közvetlen indukciót az írásra, de maga az eszközön átfolyó áram által indukált mágneses tér sem elhanyagolható.

Az anizotrópia ($\vec{A}$) az anyag könnyen mágnesezhető tengelyének ($\vec{u}_{ea}$) irányába hat. A stabil mágnesezettség végett, a szabad mágneses réteg uniaxális anizotrópiájú szokott lenni, azaz a mágnesezettség egy ún. „könnyű” tengely irányába akar természetesen beállni. (Az eszköz síkjába eső erre merőleges irányt szokás kemény tengelynek is hívni.)

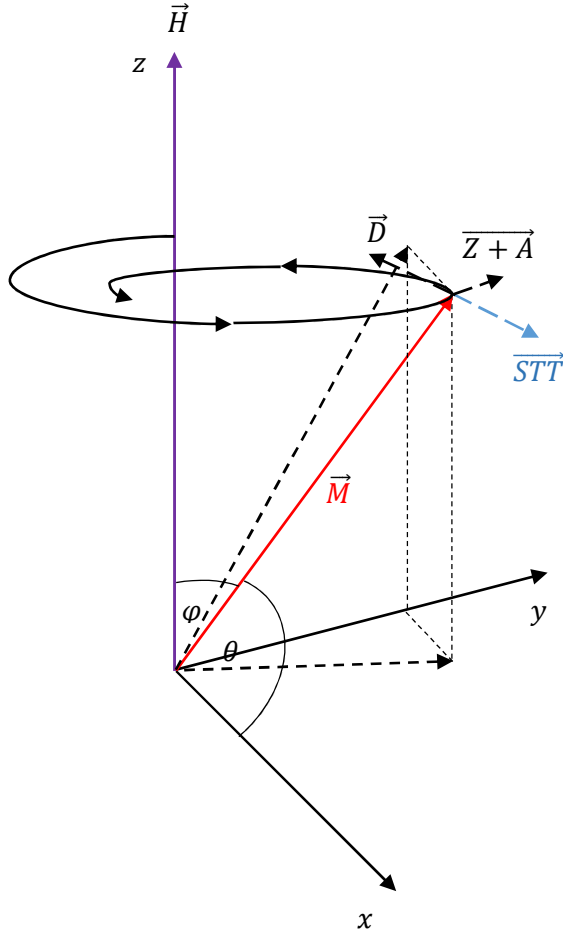
A csillapítás ($\vec{D}$) a precesszió során elvesző energiaveszteség hatása, a spin átviteli nyomaték ($\vec{STT}$) az elektronok spinjének kölcsönhatása a térrel.

Mivel a mágnesezettség nagysága nem, csak iránya változik, a fenti egyenletet felírhatjuk polárkoordinátákkal is (4. ábra). Egyrészt, a hasznos munkát végző, θ szöggel jellemzett kapcsoló komponensre

$$M_s \frac{d\theta}{dt} = \alpha M_s \frac{d\varphi}{dt} + \eta \frac{\mu_B I}{eV} \quad (2)$$

másrészt a φ szöggel jellemzett forgató komponensre bontjuk az LLG egyenletet:

$$M_s \frac{d\varphi}{dt} = -\gamma\mu_0 M_s H \sin\theta - 2\gamma K \sin\theta \cos\theta \quad (3)$$



- $\vec{M}$ = mágnesezettség
- x = anizotróp könnyű tengely
- y = anizotróp kemény tengely
- z = anizotróp síkra merőleges tengely
- $\vec{H}$ = külső mágneses tér
- $\vec{Z} + \vec{A}$ = Zeeman + anizotrópia
- $\vec{D}$ = csillapítás
- $\vec{STT}$ = spin-átviteli nyomaték
- θ = $\vec{M}$ és x közti szög
- φ = $\vec{M}$ és z közti szög

5. ábra: LLG dekompozíció.

A felbontás azért hasznos, mivel a SPICE mérésekhez során az eszköz belső állapotát is ismernünk kell, és θ szög a legjobb paraméter, amiből ezt megállapíthatjuk. Az állapotot azért kell ismerjünk mivel az írás csak akkor sikeres, ha a szabad réteg mágnesezettsége átbillent és stabilizálódott.

Az MTJ ellenállása a rákapcsolt feszültségtől és a belső állapotától függ [11]:

$$R(\theta) = R_p + \frac{R_{ap} + R_p}{2} (1 - \cos\theta) \quad (4)$$

$$\begin{cases} R_p(V) = \frac{R_{p0}}{1 + c_p V^2} \\ R_{ap}(V) = \frac{R_{ap0}}{1 + c_{ap} V^2} \end{cases} \quad (5)$$

Az ellenállást leíró (4)-e és (5)-ös egyenletek paraméterei a következők:

R_p = párhuzamos állapot ellenállása. c_p = párhuzamos állapot feszültségarányossági tényezője.

R_{ap} = ellentétes állapot ellenállása.

$R_{p0} = R_p$ értéke 0 V-nál. c_{ap} = ellentétes állapot feszültségarányossági tényezője.

$R_{ap0} = R_{ap}$ értéke 0 V-nál.

Az (1)-es, (4)-es, (5)-ös egyenletek paraméterei a SPICE modellben is szerepelnek.

9. NVMSpice mérések

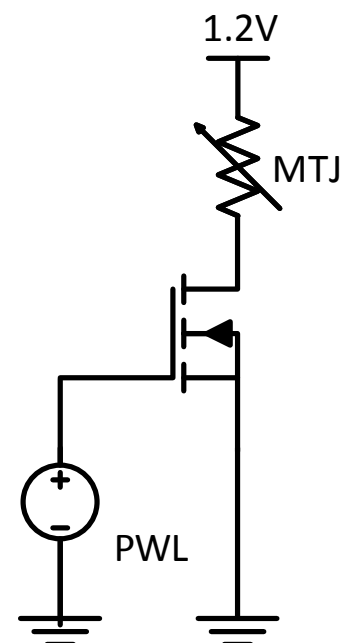
Az NVMSpice kompakt fizikai modellt használ, s ténylegesen az LLG egyenletet oldja meg. Mint minden SPICE eszköznél, a mérést netlistával írjuk le (5. ábra), amely a komplex alkatrészek modelljeinek és paramétereinek definíciójából és a kapcsolási rajz csomópontos leírásából áll.

A mérésekhez használt netlistában egy elemi cella kapcsolási rajzát definiáltam (6. ábra). A használt MTJ alkatrész paraméterei következő módon feleltethetők meg a fizikai modell paramétereinek:

$ms = M_s$	$hk = H_k = \frac{2K}{\mu_0 M_s}$	$rl = R_{p0}$	$vcp = c_p$
$damping = \alpha$		$rh = R_{ap0}$	$vcap = c_{ap}$

```
*MTJ modell és paraméterek
.model nv_perp sttmtj vcp=0 vcap=0 ms=530k hk=1671k
rh=23k rl=14k damping=0.005
* tranzisztor modell
.model nmos nmos level=54 version=4.7.0
* BL feszültség
v1 nvdd 0 pwl(0 0 5ns 0 6ns 1.2v)
* WL feszültség
vcontrol g 0 pwl(0 0 4ns 0 5ns 1.2v)
* tranzisztor kapcsolása
m1 d g 0 0 nmos l=90n w=2u
* MTJ kapcsolása, belső paraméter megadása
n1 sttmtj nvdd d nvmod2 theta0=0.01
```

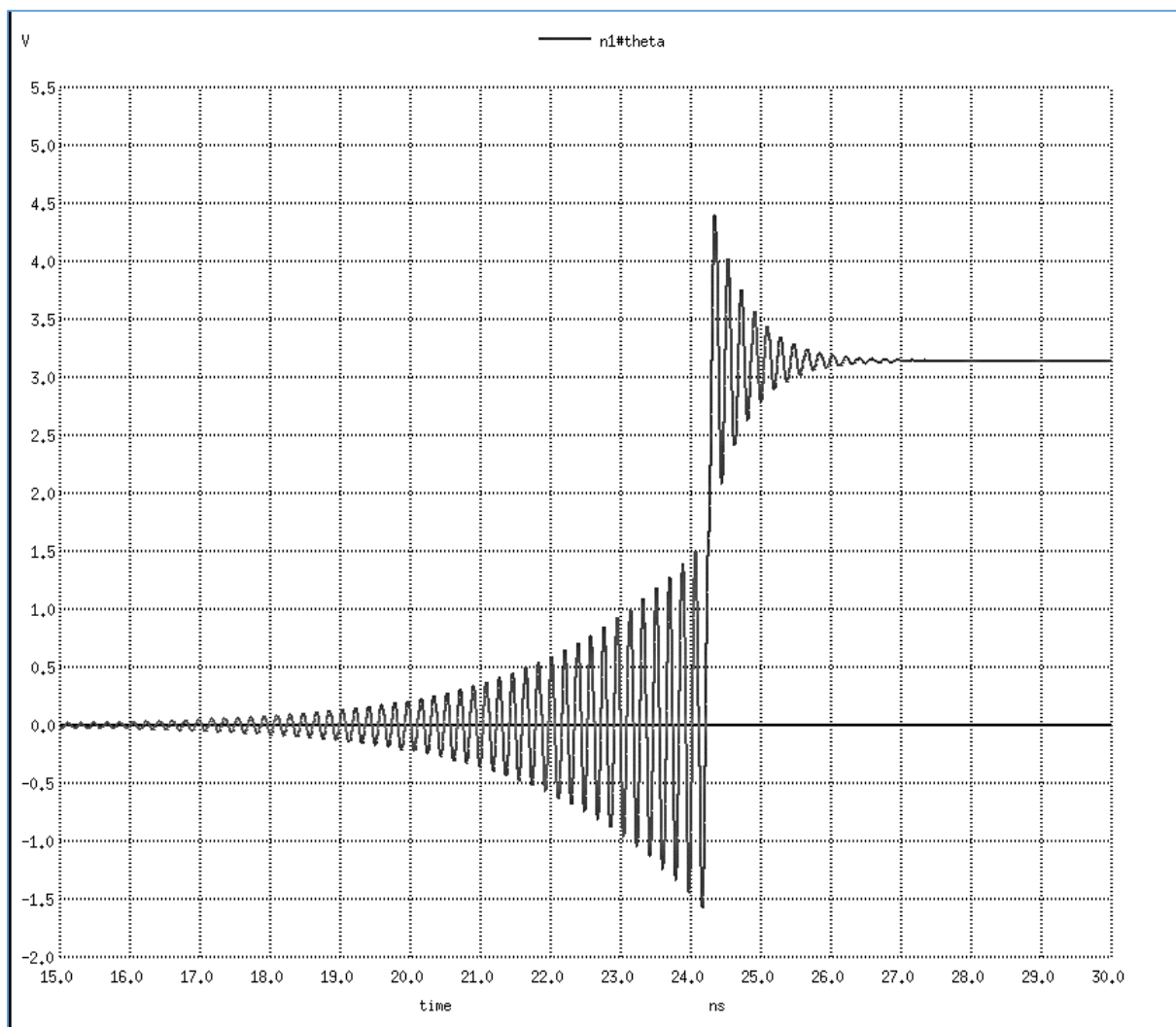
5. ábra: NVMSpice mérés netlistája



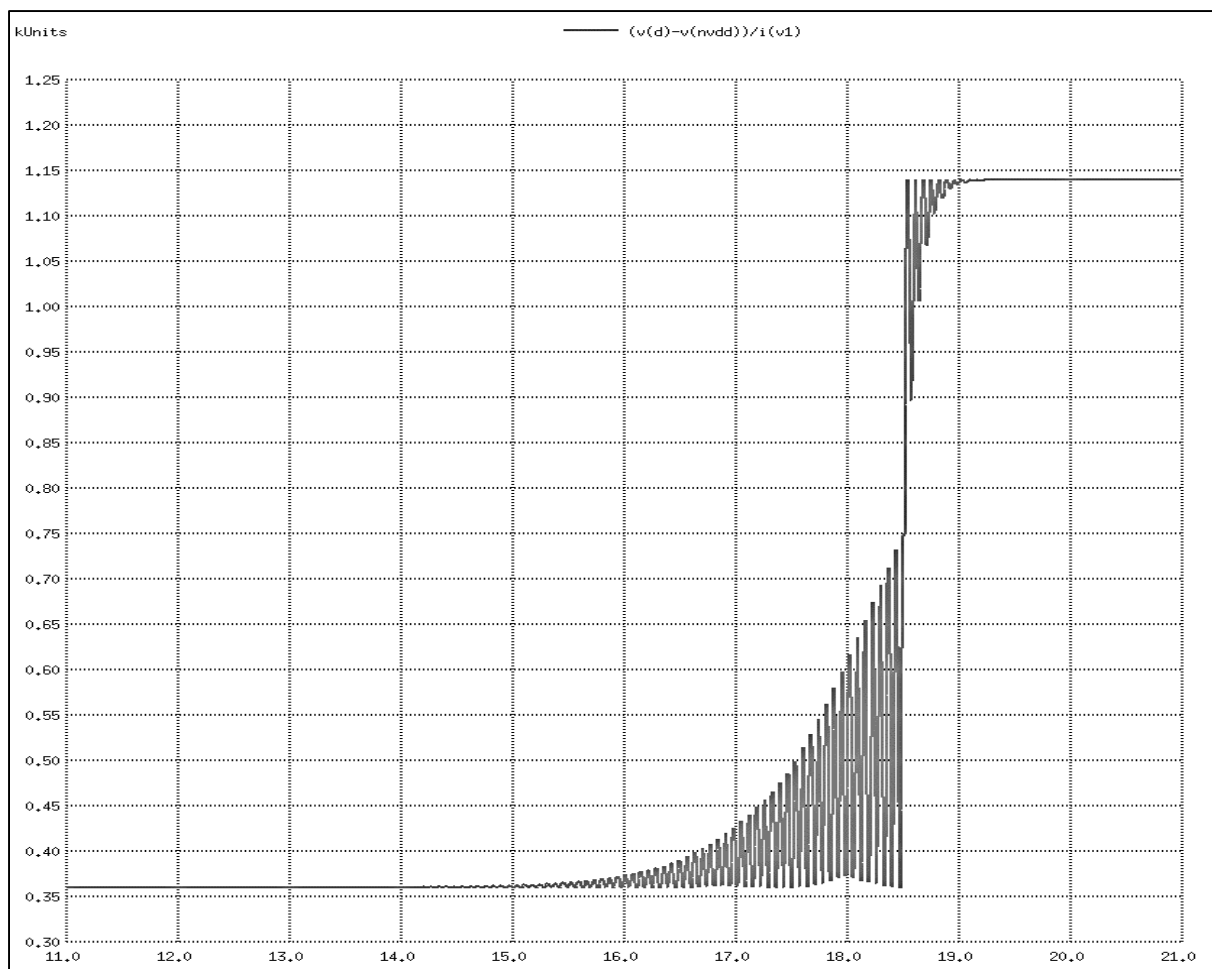
6. ábra: NVMSpice mérés kapcsolási rajza

Mivel a STeTSiMS paraméterek közt nem adtak meg c_p , c_{ap} paramétereket, így a mérés során eltekintettem az MTJ ellenállásának feszültségfüggésétől. A mérések során felfutó állandó feszültségű jelekkel vizsgáltam a cellát. A tranzisztort vezérlő feszültség a mérés kezdete után 5 ns-nál, az MTJ írófeszültség 6 ns-nál vesz fel stabil értéket. Diagramot készítettem az MTJ θ szög állapotáról (7. ábra) és az MTJ ellenállásáról (8. ábra). A diagramból megállapítom, hogy θ átbillent és stabilizálódott, és hogy mekkora idő alatt zajlott le a folyamat.

A mérési feltételek (lásd vizsgálójelek feljebb) miatt, 6 ns-tól kell mérni a diagramon θ kapcsolását és stabilizációját.



7. ábra: θ változása az NVMSpice mérés során



8. ábra: MTJ ellenállás változása az NVMSpice mérés során

Háromféle eszközt vizsgáltam, egy eszközsíkbeli (*in-plane*), egy részben síkra merőleges (*in-plane PPA* – *Partial Perpendicular Anisotropy*) és egy síkra merőleges anizotrópiáját (*perpendicular*) (3. táblázat).

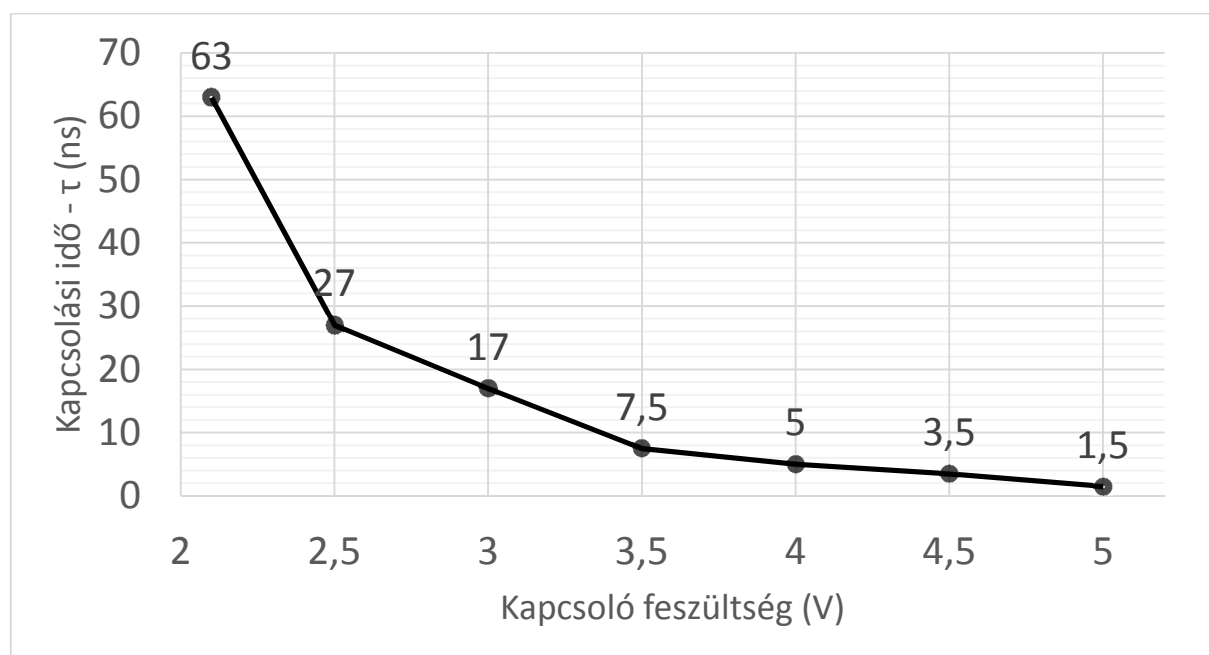
	Normalizált paraméterek			NVMSpice SI mértékegységeire alakítva		
	In-plane	In-plane PPA	Perpendicular	In-plane	In-plane PPA	Perpendicular
hk	500 Oe	220 Oe	21 kOe	40 kA/m	17,5 kA/m	1671 kA/m
ms	1050 emu/cm ³	808 emu/cm ³	530 emu/cm ³	1050 kA/m	808 kA/m	530 kA/m
α	0.02	0.015	0.005	0.02	0.015	0.005
rl	0.14 kΩ	0.57 kΩ	14 kΩ	0.14 kΩ	0.57 kΩ	14 kΩ
rh	0.36 kΩ	1.14 kΩ	23 kΩ	0.36 kΩ	1.14 kΩ	23 kΩ
Δ	60	60	61	60	60	61

3. táblázat: MTJ paraméterek [10].

A mérések során a STeTSiMS mérésektől részben eltérő eredményeket kaptam. A kapcsolás eléréséhez nagymértékben nagyobb író feszültséget kellett használnjak. Ezt feltehetően az állandó ellenállás okozta, mivel így a feszültséggel fordítottan arányosan nem esett az

ellenállás, ami miatt a szükséges áramerősséget csak jóval nagyobb feszültségek mellett érték el az eszközök. Az *in-plane* MTJ-nél legalább 2.1 V, a *perpendicular* MTJ-nél egy nagyon magas 8–9 V feszültséget kellett alkalmazni.

A kapcsolási feszültség értékek oly nagymértékben tértek el a referencia mérésektől, hogy a három eszköz így már nem összehasonlítható és a használt modell pontossága is kérdésessé vált. Fölvettem a kapcsolatot az NVMSpice egyik fejlesztőjével, Yuhao Wanggal. Ő megerősítette, hogy az NVMSpice ugyan friss eszköz, de a használt diszkrét modell régebbi, így csak az *in-plane* eszköz szimulációjára alkalmas, ezért mérési eredményeimet csak erről az eszköztől közlöm:



9. ábra: *In-Plane* MTJ kapcsolási ideje az író feszültség függvényében

A mért eredmények, még ennél az eszköznél is jelentős mértékben eltértek a STeTSiMS mérési eredményektől. Ennek, a feszültségarányossági tényezők hatásának elhanyagolása mellett, további oka a hőmozgás okozta instabilitás elhanyagolása volt. A modellben ez csak θ szög kezdeti értékének növelésével közelíthető és a méréskor még nem találtam olyan összefüggést, amely kapcsolatot teremtett volna a STeTSiMS Δ eszközjellemző paramétere és a kezdeti θ szög közt.

A fenti paraméterek, a kapcsolófeszültség értékét mind lefelé befolyásolják, így figyelembevételükkel várhatóan alacsonyabb feszültségértékek mellett is megtörténik a kapcsolás és az gyorsabban zajlik le.

10. NVSim mérések

Mivel a cella szintű mérésekkel nem sikerült a STeTSiMS méréseket reprodukálni, így még nem állnak rendelkezésre a szükséges SET, RESET áramerősség és idő értékek, ezért az architektúra szintű vizsgálatok előtt más publikált bemeneti paramétereket kell használni, vagy a cella szintű méréseket kell finomítani a STeTSiMS paraméterek helyett saját paraméterek használatával az eredeti fizikai MTJ alkatrész-paraméterekre támaszkodva.

Magának az NVSim-mel más paraméterekkel már végeztem példaméréseket, így egyedül a megfelelő bemeneti paraméterek akadályozták meg a statikus architektúra szintű vizsgálatban.

Az NVSim két állományt használ a mérés leírására, egyik a memóriacella paramétereit tartalmazó „cell” fájl, a másik a mért architektúra paramétereit leíró „.cfg” fájl.

11. Konklúzió

Kutatásom célja a modern memória-technológiák áttekintése és az STT-RAM cella és architektúra szintű szimulációs vizsgálata volt. Sikerült kialakítanom a mérési környezetet mind a cella, mind az architektúra szintű vizsgálatokhoz. Sajnos elegendő publikált paraméter (vagy használt mérési modell) hiányában nem sikerült olyan cella szintű méréseket végeznek, amelyek alkalmasak lennének a különféle MTJ eszközök architektúra szintű összehasonlító vizsgálatára.

A kutatásom során:

- Irodalomkutatás segítségével összehasonlítottam a mai technológiákat.
- Cella szintű méréseket végeztem több különböző MTJ paraméterű szimulált eszközön.
- Megismerkedtem az NVMSpice és NVSim szimulációs eszközökkel és bennük az STT-RAM vizsgálatához szükséges modellek jellegzetességeivel.

A kutatás megteremtette a további vizsgálatokhoz szükséges mérési környezetet, s áttekintő jellege révén megkönnyíti a további hasonló kutatások folytatását, meghatározza melyek azok a kritikus paraméterek, amelyekre a szimulációs mérések során szükség van.

A további kutatás során az architektúrák dinamikus, pl. trace alapú mérésére érdemes koncentrálni, mert annak során lehetőség van olyan felhasználási területek és követelmények vizsgálatára, amikkel az általános teljesítményre törekvő nagy költségvetésű kutatások nem foglalkoznak. A vizsgálat kiterjeszthető az alternatív írási eljárások (pl. korai lezárás) cella és

architektúra szintű vizsgálatára továbbá az azóta megjelent újabb MTJ alapú eszközökre, mint a topológia szigetelő vagy a DMW (*Domain Wall Memory*) vizsgálatára is.

Akár minimális forrásokkal is nagyban növelhető a jövőben a kutatás eredményessége, ha ezek segítségével gyorsabb és közvetlenebb hozzáférést kaphatok a mindenkori friss irodalomhoz.

12. Irodalomjegyzék

1. **R. M. Ramanathan and Vince Thomas (editors), Intel Corporation.** *Platform 2015: Processor and Platform Evolution for the Next Decade*. s.l. : Intel Corporation, 2005. Whitepaper.
http://folk.uio.no/inf3410/docs/Intel_Corp_Platform_2015.pdf
2. **Larry A. Crum. University of Washington.** 4 Memory Cache. *TCSS 372A Computer Architecture (Fall 2009)*. [Online] 2009. Lecture Note Diagrams.
http://faculty.washington.edu/lcrum/TCSS372AF09/4_Memory_Cache.ppt.
3. **Intel Corporation.** *Performance Analysis Guide for Intel® Core™ i7 Processor and Intel® Xeon™ 5500 processors*. 2008-2009. Performance Analysis Guide.
http://software.intel.com/sites/products/collateral/hpc/vtune/performance_analysis_guide.pdf
4. *A High-Density Scalable Twin Transistor RAM (TTRAM) With Verify Control for SOI Platform Memory IPs.* **Arimoto, K., és mtsai.** 11, hely nélk. : IEEE, 2007. Nov., Solid-State Circuits, IEEE Journal of, 42. kötet, old.: 2611,2619. doi: 10.1109/JSSC.2007.907185.
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4362083>
5. *Negative Differential Resistance Circuit Design and Memory Applications.* **Chen, Shu-Lu, Griffin, Peter B. és Plummer, James D.** 4, Electron Devices, IEEE Transactions on : IEEE, 2009. April, 56. kötet, old.: 634,640. doi: 10.1109/TED.2009.2014194.
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4787036&isnumber=4805023>
6. *Embedded Volatile Memories.* **Farid Nemati, CTO T-RAM Semiconductor Inc.** IEEE International Conference for Computer Aided Design (ICCAD) 2008 : IEEE, 2008.
<http://www.t-ram.com/technology/Publications.html>
7. *A novel capacitor-less DRAM cell using Thin Capacitively-Coupled Thyristor (TCCT).* **Cho, Hyun-Jin, és mtsai.** Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International : IEEE, 2005. old.: 311,314. doi: 10.1109/IEDM.2005.1609337.
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1609337&isnumber=33791>
8. **Sekar, Deepak C.** *Resistive RAM: Technology and Market Opportunities*. Monolithic 3D Inc : NuPGATM Corporation, 2010. IEEE Santa Clara Valley Electron Devices Society.
http://www.monolithic3d.com/uploads/6/0/5/5/6055488/deepak_ieee_scv_society_talk.ppt
9. *A Scaling Roadmap and Performance Evaluation of In-Plane and Perpendicular MTJ Based STT-MRAMs for High-Density Cache Memory.* **Chun, Ki Chul, és mtsai.** 2, Solid-State Circuits, IEEE Journal of : IEEE, 2013. February, 48. kötet, old.: 598,610. doi: 10.1109/JSSC.2012.2224256.
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6374706&isnumber=6419809>

10. *The STeTSiMS STT-RAM simulation and modeling system*. **Smullen, C.W., és mtsai**. Computer-Aided Design (ICCAD), 2011 IEEE/ACM International Conference on : IEEE, 2001. old.: 318,325. doi: 10.1109/ICCAD.2011.6105348.
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6105348&isnumber=6105287>
11. **Yu, Hao & Wang, Yuhao,**. Chapter 3 - Nonvolatile State Identification and NVM SPICE. *Design Exploration of Emerging Nano-scale Nonvolatile Memory*. New York : Springer Science+Business Media, 2014.
12. *NVSim: A Circuit-Level Performance, Energy, and Area Model for Emerging Nonvolatile Memory*. **Dong, Xiangyu, és mtsai**. 7, Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on : IEEE, 2012. July, 31. kötet, old.: 994,1007. doi: 10.1109/TCAD.2012.2185930.
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6218223&isnumber=6218208>
13. **Zihan Xu, Ketul Sutaria, Chengen Yang, Chaitali Chakrabarti, Yu (Kevin) Cao**. *SPICE Modeling of STT-RAM for Resilient Design*. Zihan Xu, 5th International MOS-AK/GSA Workshop, Sanfrancisco : School of ECEE, ASU, 2012.
http://www.mos-ak.org/sanfrancisco_2012/presentations/T08_Xu_MOS-AK_121212.pdf
14. **Mark D Stiles, Jacques Miltat**. Spin-Transfer Torque and Dynamics. *Spin Dynamics in Confined Magnetic Structures III*. Berlin : Springer Berlin Heidelberg, 2003, old.: 225-308.
<http://gisceu.net/PDF/U540.pdf>
15. *Compact modeling of STT-MTJ for SPICE simulation*. **Xu, Zihan, és mtsai**. Bucharest : Solid-State Device Research Conference (ESSDERC), 2013. old.: 338,341. doi: 10.1109/ESSDERC.2013.6818887.
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6818887&isnumber=6818804>

13.Ábrajegyzék

1. SRAM és DRAM cellák [2].
2. Egyszerűsített STT-RAM cella [9].
3. Modellhierarchia [13].
4. LLG dekompozíció.
5. NVMSpice mérés netlistája
6. NVMSpice mérés kapcsolási rajza.
7. θ változása az NVMSpice mérés során
8. MTJ ellenállás változása az NVMSpice mérés során
9. *In-Plane* MTJ kapcsolási ideje az író feszültség függvényében

14. Táblázatjegyzék:

1. Mai memória hierarchia.

Adatok forrása: [3]

2. Új memória-technológiák.

Adatok forrása: [3] [4] [6] [7] [8] [9]

3. MTJ paraméterek

Adatok forrása: [10]