



Budapesti Műszaki és Gazdaságtudományi Egyetem

Villamosmérnöki és Informatikai Kar

Villamos Energetika Tanszék

Rózsa Máté

Újszerű interfész algoritmus megvalósítása Power-Hardware-in-the-Loop szimulációs környezetben

TDK Dolgozat

KONZULENS

Dr. Csatár János

BUDAPEST, 2023

Összefoglaló

A villamosenergia-rendszer és az ahhoz kapcsolódó eszközök fejlesztése során kiemelt szereppel rendelkezik a modellezés. A fizikai, valós hálózaton történő tesztelés többnyire nem hatékony és költséges, bizonyos esetekben nem is lehetséges. Ezért szükség van egy rugalmas tesztkörnyezet kialakítására. A számítástechnika fejlődésével lehetőség nyílt arra, hogy a villamosenergia-rendszert lemodellezhessük és valós idejű szimulációk keretén belül tetszőleges vizsgálatokat végezzünk költséghatékonyan, automatizált módon. A Power Hardware-in-the-Loop (PHIL) szimulációval a valós időben futtatott modellhez külső, fizikai erősáramú részt illeszthetünk, amely lehet például teljesítményelektronikai eszköz (inverter).

A PHIL szimuláció sarkalatos pontja a modell és a valós rész közti kapcsolat kialakítása. Az erősáramú csatlakozási pontot alkotó eszközök nemidealitásai miatt a szimuláció stabilitásának és pontosságának biztosítása számos kihívást tartalmaz. A valós időben szimulált modell és a fizikai rész közti kapcsolatot az interfész algoritmus biztosítja, közvetlenül befolyásolva a szimuláció minőségi paramétereit. A nemzetközi szakirodalomban több alapvető interfész algoritmus található, de jelenleg nincs olyan, amely általánosan alkalmazható.

Kutatásom során két kiválasztott interfész algoritmust: az Ideal Transformer Model (ITM) és Transmission Line Model (TLM) algoritmust hasonlítottam össze valós PHIL szimulációk segítségével. Az eredmények alapján mindkét módszer előnyei és hátrányai láthatóvá váltak. A valós idejű szimulátor hardveres lehetőségeinek legjobb kihasználásához a CPU és FPGA alapú szimuláció tulajdonságainak vizsgálatát végeztem, felderítve a hardveres és szoftveres nehézségeket. Az eredmények tekintetében egy újszerű interfész struktúrát alakítottam ki. A módszer egy többszintű interfész, amely CPU és FPGA alapú hardvert együttesen alkalmaz és egyesíti az ITM és a TLM algoritmusok előnyeit. Az új interfész módszer nagyobb stabilitási tartománnyal rendelkezik és tranziens tartományban is precízebb eredményt biztosít. A BME Smart Power Laboratórium eszközkészletét használva az újszerű interfész módszert prototípus inverter készülékek PHIL szimulálásával teszteltem, hangsúlyt fektetve az eddigi interfész algoritmusokhoz képest elért javulás bemutatására.

Abstract

Modelling plays an important role in the development of the electricity system and related assets. Testing on a physical, real grid is mostly inefficient and expensive, and in some cases not even possible. Therefore, it is necessary to create a flexible test environment. With the development of computer technology, it became possible to model the electricity system and perform arbitrary tests within the framework of real-time simulations in a cost-effective, automated manner. With Power Hardware-in-the-Loop (PHIL) simulation, an external, physical power component, such as a power electronic device (inverter), can be added to the model running in real time.

The pivotal point of PHIL simulation is establishing the connection between the model and the real part. Due to the non-idealities of the devices that form the power interface, ensuring the stability and accuracy of the simulation involves several challenges. The interface algorithm provides the connection between the real-time simulated model and the physical part, directly affecting the quality parameters of the simulation. There are several basic interface algorithms in the international literature, but currently there is not one that is generally applicable.

In my research, I compared two selected interface algorithms: the Ideal Transformer Model (ITM) and the Transmission Line Model (TLM) using real PHIL simulations. The results showed the advantages and disadvantages of both methods. To best exploit the hardware capabilities of the real-time simulator, I investigated the properties of CPU and FPGA based simulation, discovering the hardware and software difficulties. In terms of results, I developed a novel interface structure. The method is a multi-level interface that uses CPU and FPGA based hardware and combines the ITM and TLM algorithms. The new interface method has a higher stability margin and provides more accurate results in the transient domain. Using the toolkit of the BME Smart Power Laboratory, I test the novel interface method by simulating PHIL of prototype inverter devices, with an emphasis on demonstrating the improvement over previous interface algorithms.

Tartalomjegyzék

Összefoglaló.....	i
Abstract	ii
Tartalomjegyzék	iii
1 Bevezetés.....	1
2 Interfész algoritmusok.....	5
2.1 ITM (Ideal Transformer Model).....	5
2.2 TLM (Transmission Line Model)	6
2.3 TFA (Time-variant First-order Approximation).....	6
2.4 PCD (Partial Circuit Duplication).....	7
2.5 DIM (Damping Impedance Method)	8
3 Interfész algoritmusok implementálása.....	9
3.1 Szimulációs keretrendszer.....	9
3.2 ITM (Ideal Transformer Model).....	10
3.3 TLM (Transmission Line Model)	16
3.4 Többszintű interfész algoritmus.....	20
4 Az implementált algoritmusok vizsgálata laborszimulációval.....	24
4.1 Vizsgáló jelek, szimulációs paraméterek.....	24
4.2 Stabilitásvizsgálat	26
4.3 Jelátvitel pontosságának vizsgálata.....	30
4.3.1 Alakhűség	30
4.3.2 Amplitúdóhiba.....	36
4.3.3 Késleltetés	37
4.3.4 Teljesítményalapú vizsgálatok.....	39
4.4 Eredmények összegzése.....	40
5 Teljesítményelektronikai eszközök tesztelése a többszintű interfész koncepcióval.....	42
5.1 SMA SUNNY TRIPOWER 5000TL inverter	43

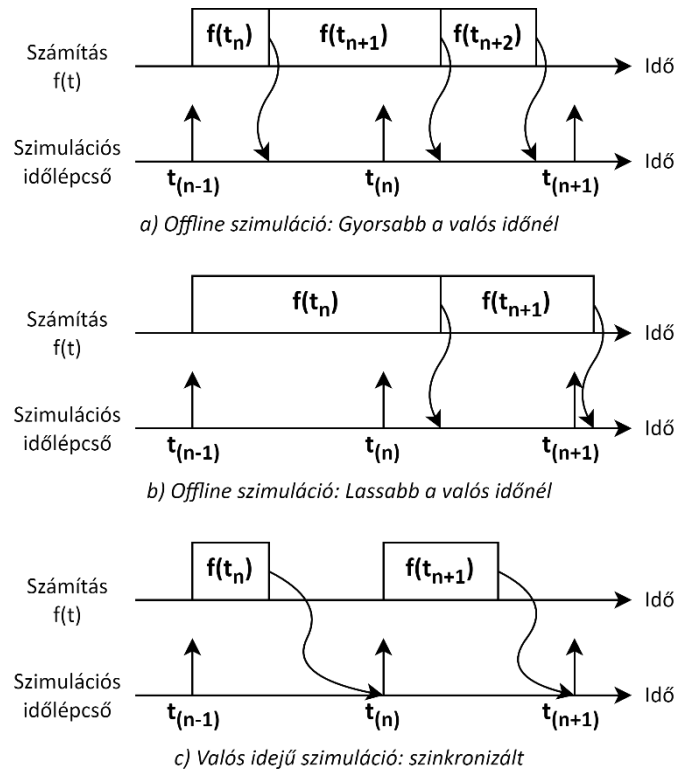
5.2	Virtuális szinkrongép alapú inverter prototípus.....	45
5.3	Eredmények összegzése	47
6	Összefoglalás, továbbfejlesztési lehetőségek, konklúzió	49
	Irodalomjegyzék	51
F1	ITM algoritmus vizsgálata egyszerű modellek segítségével	1
F1.1	Egyfázisú modell	1
F1.1.1	Stabilitás növelése aluláteresztő szűrővel.....	4
F1.1.2	Stabilitás növelése L és C elemek beiktatásával	6
F1.2	Háromfázisú modell	7
F1.2.1	Egyszerű eset induktív jellegű impedanciákkal	7
F1.2.2	Háromfázisú Grid-feeding inverter offline szimulációja.....	8

1 Bevezetés

Az elmúlt évtizedek során a szignifikánsan növekvő elektrifikáció hatására folyamatos igény mutatkozik a villamosenergia-rendszer jövőbe mutató fejlesztési lehetőségeinek kutatására. A megújuló termelők, az elektromobilitás és a fogyasztói igények növekedési tendenciájával a villamosenergia-rendszer fejlődése nehezen képes lépést tartani. A kutatás-fejlesztési folyamatok során elvégzendő vizsgálatokhoz a modellezés és a szimulációk használata elengedhetetlen a gyors, iteratív és mindazonáltal költséghatékony feladatvégzéshez. A szimulációs keretrendszerek a számítástechnika fejlődésével és a számítási kapacitás növekedésével egyre szélesebb felhasználói réteg számára váltak elérhetővé. Ennek eredményeképp, a többi szakterülettel megegyező módon, elterjedten használtak a villamos energetika területén belül.

Valós idejű szimuláció

A szimulációk fontos tulajdonsága a futtatási idő és az időlépcső valós időhöz mért elhelyezkedése, a különböző eseteket az 1. ábra szemlélteti. Offline esetben a futtatás gyorsaságát a számítási kapacitás határozza meg, általános cél a leggyorsabb sebesség elérése. Egy időlépcső számításához szükséges idő lehet kevesebb és több is, mint a szimulációs időlépcső nagysága. Valós idejű szimuláció esetén az időlépcső a valós idővel szinkronozott, így a modell állapotváltozásai azonos időben történnek egy annak megfeleltethető fizikai rendszerrel. Fontos megemlíteni, hogy csak fix időlépcsővel dolgozó solver használható és maximálisan akkora számítási igényű modell futtatható, amelynek számításához szükséges idő nem több, mint az időlépcső nagysága. Ha a számítási kapacitás nem elegendő, úgynevezett túlfutás (overrun) lép fel és nem lesz számítási eredmény az adott időlépcsőben. A számítási kapacitás kritikussága és a valós idővel történő szinkron működés biztosítása érdekében valós idejű szimulációra célszámítógépeket, ún. Real-Time-Simulator-t (RTS) alkalmazunk. A valós idejű szimulációról és felhasználási területeiről bővebben olvashatunk az OPAL-RT Technologies által írt cikkben [1].



1. ábra: Az offline és valós idejű szimuláció viszonya a valós idővel [1]

HIL, PHIL szimuláció

A valós idejű szimuláció esetén lehetőség van a leképezett modellhez külső, fizikai részek csatlakoztatására. A szimulátorok több típusú interfésszel rendelkezhetnek, amelyet a célhardver megrendelésekor specifikálhatunk. Általánosan az alábbi interfészekkel rendelkezik egy szimulátor:

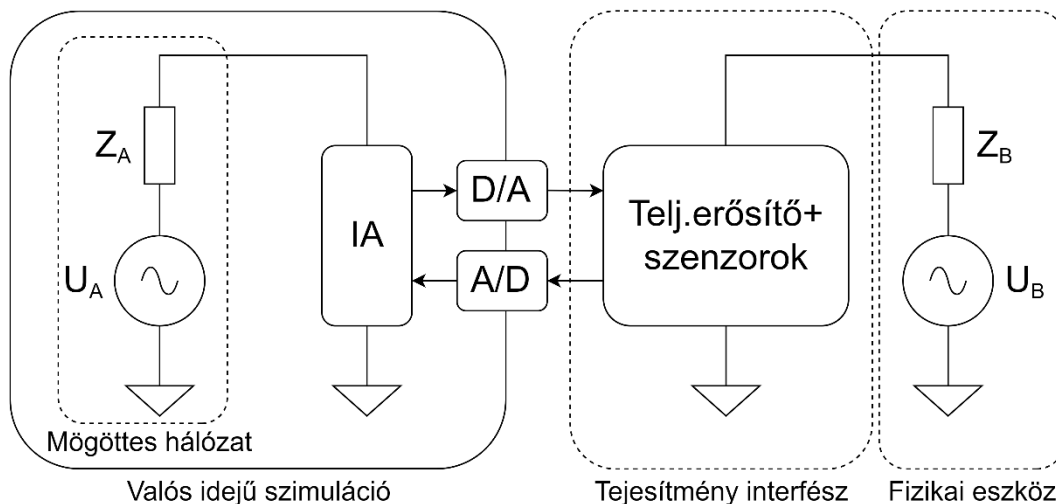
- A/D, D/A kártyák: analóg és digitális ki- és bemenetek
- Ipari szabványos soros kommunikációs portok: RS232, RS485 stb.
- Ethernet adapterek
- SFP portok, optikai interfészek.

Az interfészek segítségével a modellből kivezetett jelek egy fizikai eszköz bemeneteiként szolgálhatnak, majd az eszköz kimeneteit visszacsatolhatjuk a modellbe. Az így kialakított szimulációt hardware-in-the-loop (HIL) szimulációnak nevezzük. A HIL szimulációnak számos változata létezik, amelyek közül a dolgozat témájának megfelelően a power hardware-in-the-loop (PHIL) szimulációt ismertetjük.

PHIL szimuláció esetén a modell és a fizikai eszköz közt a kapcsolatot erősáramú jelekkel alakítjuk ki, ellentétben a HIL szimulációval. Ennek megértéséhez tekintsük a 2. ábra blokkvázlatát, amely az alábbi részegységekből épül fel:

- Valós idejű szimulátor: a modell valós időben fut és rendelkezik gyengeáramú ki- és bemenetekkel a külső egységek csatlakoztatásához.
- Mögöttes hálózat: a modellben leképezett hálózat Thevenin-ekvivalense.

- Fizikai eszköz: a tesztelt erősáramú eszköz Thevenin-ekvivalense.
- Teljesítmény interfész: a gyengeáramú – erősáramú átalakítást végzi, teljesítményerősítóből és szenzorokból felépülő egység.
- IA – Interfész algoritmus: a modell és a valós világ kapcsolatát alakítja ki, a modellből vett mérések segítségével származtatja a teljesítmény interfész bemeneti értékeit és a szenzorok által mért villamos mennyiségek alapján emulálja a fizikai eszköz hatását a modellben.



2. ábra: A PHIL blokkvázlata [2]

A HIL és PHIL szimulációk az iparban számos helyen alkalmazott módszerek. A gyors, iteratív termékfejlesztés elengedhetetlen részévé váltak az elmúlt évtizedben. A PHIL szimuláció előszeretettel használt teljesítményelektronikai eszközök tesztelésére, mivel tetszőleges mögöttes hálózat szintetizálható és a tesztelési folyamat teljesen automatizálható, ennek köszönhetően szabványok szerinti validálás is megvalósítható, akár „egyetlen gombnyomásra”.

Az interfész algoritmus jelentősége

A PHIL szimulációk átlagosan több 10-100 kW-os teljesítményekkel is végezhetőek, ennek megfelelően a szimuláció stabilitása elengedhetetlen. Esetleges instabilitás következtében a megnövekvő feszültségek és áramok a tesztelni kívánt berendezés tönkremenetelét okozhatják. Továbbá fontos követelmény a szimulációs keretrendszerrel szemben, hogy a lehető legpontosabb legyen és közelítse azt az ideális, de fiktív esetet, amikor a mögöttes hálózat a fizikai eszközzel erősáramú módon, direkt összeköttetésben van.

A virtuális és valós oldal közti kapcsolatot alkotó részegységek nemideálisak, ezért közvetlen hatással vannak a stabilitásra és pontosságra. Általánosan elmondható, hogy a legnagyobb nehézséget a szimulációs időlépcső okozta késleltetés és a szenzorok pontatlansága jelenti a PHIL szimulációban. Egy adott szimulációs keretrendszerben a hardveres komponensek konstans paraméterekkel

rendelkeznek, ezért a fentebbi 2. ábra blokkvázlatán megfigyelhető, hogy rögzített tesztelrendezés mellett rugalmasan csak az interfész algoritmus módosítható. A PHIL szimuláció pontos és stabil működését az interfész algoritmussal közvetlen befolyásoljuk, így helyes megválasztása kritikus szerepet tölt be a szimuláció sikeres elvégzésében.

A dolgozat felépítése

A bevezetésben ismertettem a valós idejű szimuláció, azon belül a PHIL szimuláció alapjait és annak általános elrendezését. Látható, hogy a PHIL szimulációs keretrendszerben az interfész algoritmus megválasztása kritikus részét képezi egy vizsgálat elvégzésének, hiszen befolyásolja a stabilitást, a pontosságot és ezáltal a mérési eredményeket. Ennek folytatásaként a szakirodalomban megtalálható alap interfész algoritmusok elveit részletezem, röviden bemutatva előnyeiket és hátrányaikat. Az interfész algoritmus megválasztásakor elengedhetetlen a PHIL keretrendszer beható ismerete, így a BME Smart Power Laboratóriumban rendelkezésre álló eszközök és azok PHIL keretrendszerbe szervezését bemutatva rávilágítok az interfész algoritmusok kiválasztásának alapelveire. Ezen fejezetet a két interfész algoritmus: az ITM és TLM algoritmus részletesebb ismertetése követi, ahol az elméleti alapok mellett a valós idejű szimulációs modellek megvalósítását is bemutatom. Az ITM és TLM előnyeinek egyesítéséhez és a szimulációs keretrendszer adta lehetőségek kiaknázásához egy új, több szinten megvalósított, CPU és FPGA alapú szimulációt és az ITM és TLM modelleket egyaránt használó interfész koncepciót dolgoztam ki. Az újszerű, többszintű interfész koncepció elméleti hátterét és implementációval kapcsolatos megfontolásait részletezem, bemutatva a módszer várható előnyeit és hátrányait. A dolgozat második felében a kidolgozott interfész algoritmusok összehasonlító vizsgálatainak módszerét és eredményeit ismertetem. Ezt követően az újszerű többszintű módszerrel két gyakorlati felhasználási példát, egyrészt egy kereskedelmi forgalomban kapható napelemes inverter, másrészt egy új fejlesztésű prototípus inverter PHIL szimulációinak eredményeit mutatom be. Végül az eredmények összefoglalása, továbbfejlesztési lehetőségek ismertetése olvasható.

2 Interfész algoritmusok

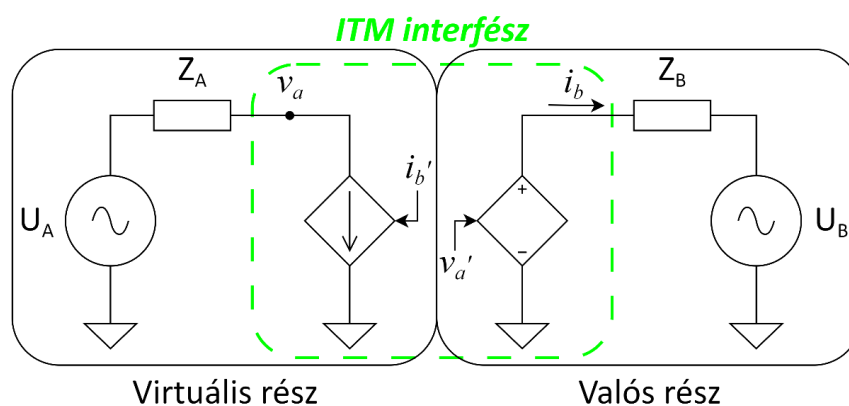
Az interfész algoritmus a PHIL szimulációk egyik, hanem a legsarkalatosabb pontja. A virtuális és a valós rész közti kapcsolat kialakításának módját határozza meg, közvetlenül befolyásolva a szimuláció minőségi paramétereit. A PHIL keretrendszer nemidealitásai hibákat okoznak, amelyek miatt egyik interfész algoritmus alkalmazásával sem lehet ideális csatolást kialakítani. Az interfész algoritmusok rendelkeznek előnyökkel és hátrányokkal, de általánosan kimondható, hogy jelenleg nincs olyan interfész módszer, amely univerzálisan, minden körülmények között megfelelően alkalmazható lenne [3].

A nemzetközi szakirodalom 5 főbb típusba sorolja az interfész algoritmusokat, a többi módszer ezek kiegészítésével és kombinálásával szintetizált. A következő fejezetekben ezen alapvető interfész algoritmusok rövid áttekintése olvasható.

2.1 ITM (Ideal Transformer Model)

Az ideális transzformátor modell a legegyszerűbb és ezért a legelterjedtebben használt interfész algoritmus. Két változata különböztethető meg attól függően, hogy a valós részen feszültséget vagy áramot erősít. A PHIL szimulációs keretrendszer teljesítményerősítői általában feszültségvezérelt feszültségforrások, ezért a feszültséggenerátoros kivitel ismertetem [4], [5].

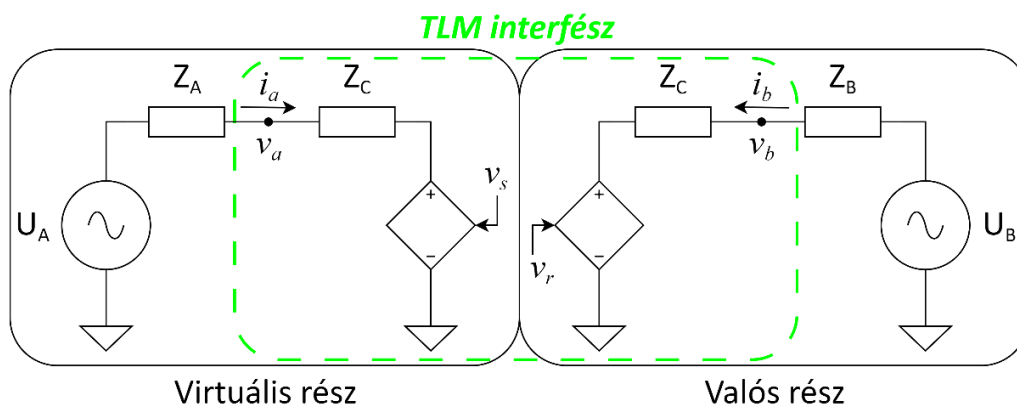
Az ITM modell felépítését a 3. ábra szemlélteti. A virtuális oldalon mért feszültséget a valós oldalon egy teljesítményerősítő alakítja erősáramú jellé, majd a valós oldalon mért áram nagysága kerül visszacsatolásra a virtuális oldalra. Az ITM algoritmus egyszerű, robusztus, sok szakirodalmi vonatkozással és kiegészítő/kompenzáló módszerrel rendelkezik. Hátránya az impedanciafüggő stabilitási tartomány, amely limitálja a felhasználhatóságot [3], [6].



3. ábra: ITM algoritmus felépítése

2.2 TLM (Transmission Line Model)

A távvezeték modell a Bergeron távvezeték modellen (BTLM) alapuló módszer, amely a hullámegyenletekből származtatott sorozatos hullámindításokkal képezi le a távvezeték két vége közti kapcsolatot. Létezik feszültség és áramgenerátoros megvalósítása is, de az ITM esetén már említett gyakorlati megfontolásból a feszültséggenerátoros kivitel ismertettem. A TLM blokkvázlata a 4. ábra szerinti. A virtuális és valós oldalon egy-egy Thevenin-ekvivalens kapott helyet, amelyek helyettesítő impedanciájának értéke azonos a reprezentálni kívánt vezeték karakterisztikus impedanciájával. Veszteségmentes esetben a befutási idő egy szimulációs időlépcső nagyságú. A két feszültségforrás numerikus módszerekkel csatolt, így a küldő és fogadó oldal állapottereit szétválasztja [4], [5].

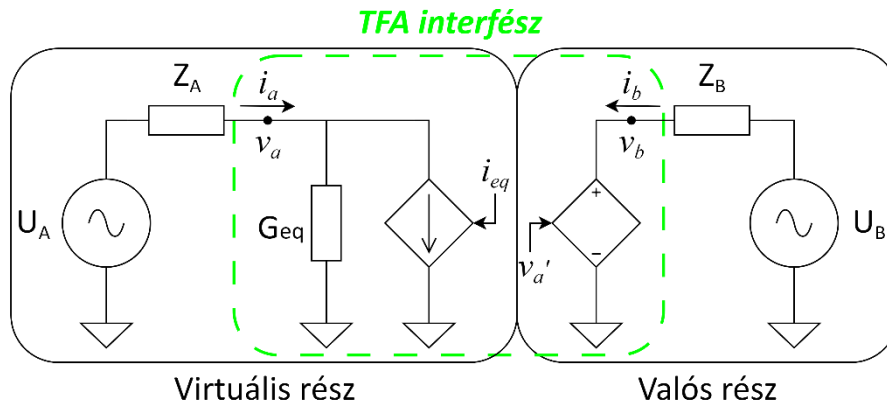


4. ábra: TLM algoritmus felépítése

A TLM előnye, hogy nagy stabilitással rendelkezik, hiszen a reprezentált távvezeték passzív áramkört elem, tehát ideális leképezése esetén mindig stabil. Hátránya, hogy a Thevenin helyettesítő képben szereplő karakterisztikus impedanciát a valós oldalon egy fizikai ellenállással kell megvalósítani, amelyen veszteség keletkezik, főként nagyobb teljesítményekkel végzett szimuláció esetén [3].

2.3 TFA (Time-variant First-order Approximation)

A TFA algoritmus blokkvázlatát az 5. ábra szemlélteti. A TFA állapotbecslésen alapuló módszert definiál, amely a fizikai eszközt egytárolós RL- vagy RC-körrel képezi le. Az egytárolós helyettesítésből származtatott paramétereket az előzményállapotokból határozza meg és folyamatosan frissíti a szimuláció során. A virtuális oldal feszültségét a valós oldalon teljesítményerősítő alakítja erősáramú jelekké, majd a virtuális oldalon a fizikai eszköz hatását a G_{eq} konduktancia és az i_{eq} vezérelt áramforrás emulálja. A módszert leíró egyenletek az egytárolós tag differenciálegyenletének diszkretizálásával vezethetőek le [4], [5].

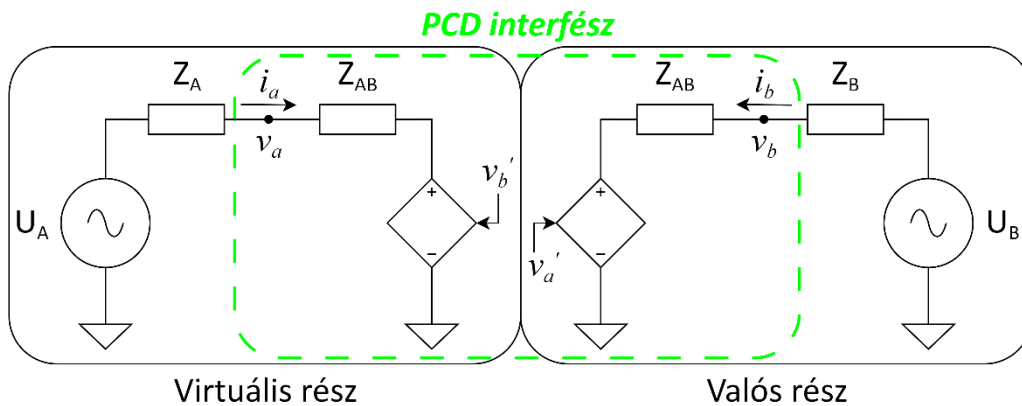


5. ábra: TFA algoritmus felépítése

A TFA komplex és számításigényes algoritmus. Az ekvivalens paraméterek számításakor az interfész okozta hibák kompenzálhatóak, azonban ehhez szükséges adott üzemállapot és a hibák ismerete. Becslésen alapul, ezért a nagyfrekvenciás és nemlineáris eszközök szimulálása során pontossága alacsony. A mátrixműveletek miatt lassú és mérési zajokra rendkívül érzékeny [3].

2.4 PCD (Partial Circuit Duplication)

A módszer az áramkör részegységekre bontásán, majd az egyenletek iterációs módszerekkel való megoldásán alapul, hasonlóan a SPICE típusú szimulációs programokhoz. A 6. ábra szemlélteti az algoritmus blokkvázlatát. Az összekötő Z_{AB} impedancia mind a valós, mind a virtuális részen elhelyezésre kerül.

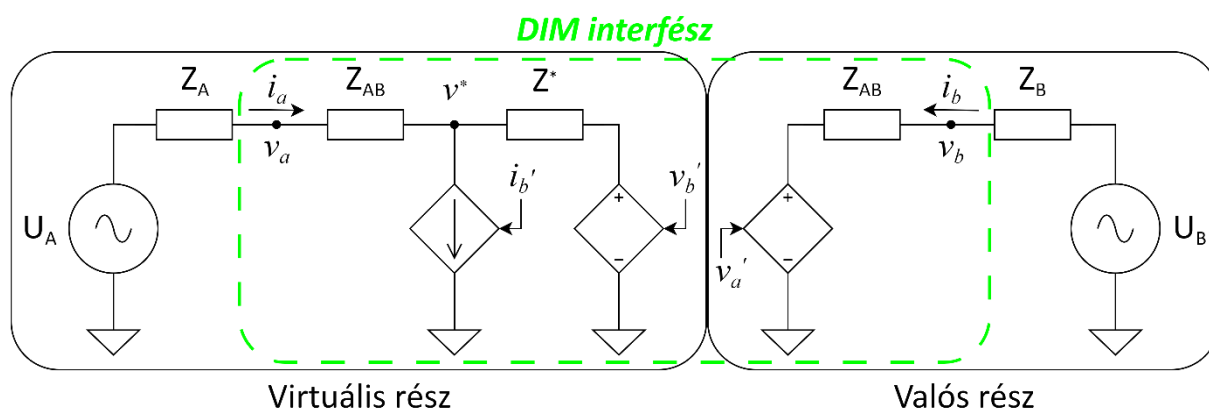


6. ábra: PCD algoritmus felépítése

A PCD algoritmusnak rezisztív esetben nagyobb a stabilitása, mint az ITM módszernek. Az iterációval való megoldás miatt bármilyen esetben konvergens, de a valós idejű szimuláció során csak egy iteráció folytatható le egy időlépcsőben, ezért a hibák minimalizálása felértékelődik. A pontosság megőrzésének érdekében a Z_{AB} értéknek nagynak kell lennie a Z_A és Z_B értékekhez képest, amely valós esetekben nehezen kivitelezhető, ebből fakadóan a PCD algoritmus pontossága alacsony [3], [5].

2.5 DIM (Damping Impedance Method)

A DIM módszer (7. ábra) az ITM és a PCD algoritmusok kompozíciója azzal a kiegészítéssel, hogy egy extra Z^* impedancia kerül elhelyezésre. Figyeljük meg, hogy Z^* speciális értékei esetén az ITM és PCD algoritmust kapjuk: $Z^* = 0 \Rightarrow \text{PCD}$; $Z^* = \infty \Rightarrow \text{ITM}$.



7. ábra: DIM algoritmus felépítése

A módszer sajátossága, ha $Z^* = Z_B$, akkor stabil lesz a rendszer, mert az átviteli függvényének értéke nulla, a fellépő hiba nem kerül át a következő szimulációs időlépcsőre, nem alakulhat ki pozitív visszacsatolás. A valóságban Z_B értékének pontos meghatározása nem lehetséges, legfeljebb csak elhanyagolhatóan kis hibával becsülhető a v_b és i_b értékeiből. Mindazonáltal ez a módszer jó stabilitási mutatókkal bír, viszont Z_B impedancia becslésében fellépő hibák befolyásolják a stabilitást (amely gondot okoz például erősen nemlineáris rendszerek esetén) [2], [3], [5].

3 Interfész algoritmusok implementálása

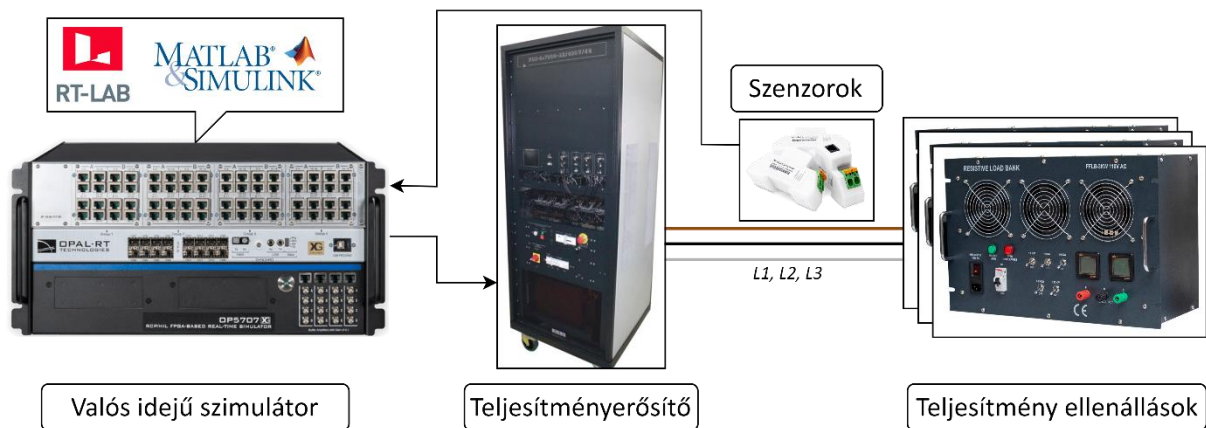
A megfelelő interfész algoritmus kiválasztására a fentebbi fejezetekben részletezett indokok miatt különös hangsúlyt kell fektetni. A választás alapját a felhasználási terület, a rendelkezésre álló keretrendszer és a szimulálni kívánt elrendezés paraméterei határozzák meg. Továbbá, törekedni kell az egyszerűsége, könnyű karbantarthatóságra és az univerzális felhasználhatóságra.

Kutatásom során a BME Smart Power Laboratórium eszközkészletét használtam. Ezért ennek megfelelően választottam interfész módszert és tettem különböző megfontolásokat. Azonban fontos, hogy az ismertetett szimulációs keretrendszer nagy hasonlóságot mutat az általánosan elterjedt kivitelezésekkel, így az itt megfogalmazott állítások, megfontolások kiterjeszthetőek egyéb PHIL szimulációs keretrendszerekre is.

3.1 Szimulációs keretrendszer

A PHIL szimulációs keretrendszer felépítését a 8. ábra szemlélteti, amely főbb részei az alábbiak:

- Valós idejű szimulátor: OPAL-RT OP5707XG típusú szimulátor, amely kompatibilis a Matlab Simulink környezettel, így az itt elkészített modellek egyszerűen futtathatóak valós időben. CPU és FPGA alapú szimulációt is biztosít, előbbi nagyobb, utóbbi kisebb időlépcsővel képes a modellek futtatására.
- Lineáris teljesítményerősítő: Puissance Plus 3X7000 VA lineáris teljesítményerősítő, ez biztosítja a szimulátorból érkező jelek erősítését, létrehozza az erősáramú csatlakozási pontot.
- Szenzorok: Imperix gyártmányú feszültség és árammérő szenzorok, amelyek az erősáramú jelek mérését végzik a szimulátor számára.
- Tesztelni kívánt eszköz: Jelen blokkvázlaton fokozatkapcsolható ellenállások jelképezik a tesztelni kívánt eszközt, ennek helyére csatlakozik bármilyen készülék, amelyet PHIL szimulációban szeretnénk vizsgálni.

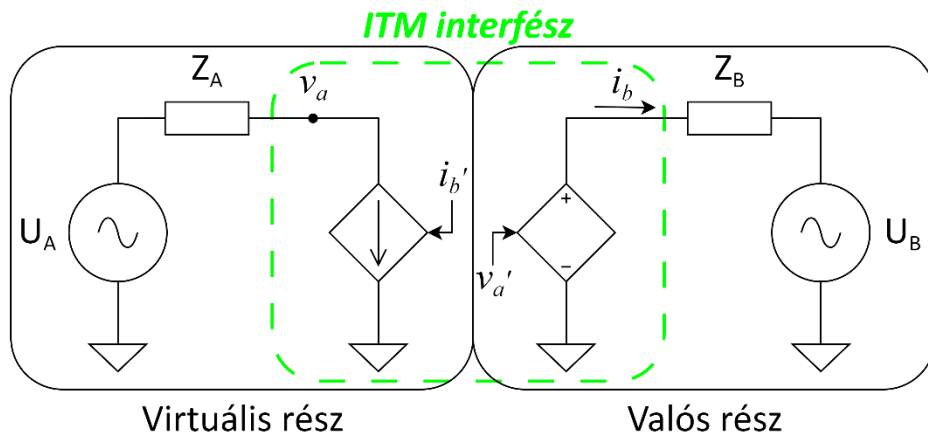


8. ábra: PHIL szimulációs keretrendszer általános felépítése

A fentebb szemléltetett keretrendszerhez olyan interfész algoritmust szükséges választani, amely a valós oldalon feszültséggenerátoros kivitelű. A felhasználási módot tekintve elve nem lehet idegen a villamosenergia-rendszerek/hálózatok modellezésétől és kezdetben egyszerűen, szubiterációktól mentesen kivitelezhető kell legyen. Egyik kézenfekvő választás az ITM: egyszerű és áttekinthető algoritmus, amelyet tulajdonságai miatt előszeretettel alkalmazott, így számos szakirodalmi vonatkozás is rendelkezésre áll. A másik választás a TLM-re esett, mivel az ITM stabilitási nehézségeivel ellentétben ez az algoritmus széles stabilitási tartománnyal rendelkezik. Nem utolsó szempont, hogy a TLM algoritmus a villamosenergia-rendszer csomópontjait összekötő távvezetékek fizikáján alapul, így akár egy modellben már jelen lévő távvezeték helyettesítésére is alkalmazható.

3.2 ITM (Ideal Transformer Model)

Az ITM modell felépítését a 9. ábra szemlélteti. A virtuális részen mért feszültséget a teljesítményerősítő erősáramú jellé alakítja, majd a valós rész árama vezérelt áramforrásokon keresztül csatolódik vissza a virtuális részre. Az ITM algoritmus stabilitási tartományát két tényező befolyásolja: a virtuális és valós oldali impedanciák aránya és a késleltetések. A nyílt hurkú átviteli függvénye az (1) egyenlet szerinti. Ha az átviteli függvény késleltetés nélküli tagját nézzük, akkor a (2) kritérium teljesülése esetén stabil lesz a rendszer. Ha az interfész nemideális, akkor a késleltető tag rontja a stabilitási tartományt, így a (2) kritérium teljesülése nem elegendő a stabilitáshoz [2], [6].



9. ábra: ITM algoritmus blokkvázlata

$$G_{OL} = \frac{Z_A}{Z_B} \cdot e^{-s\Delta t} \quad (1)$$

$$\frac{Z_A}{Z_B} \leq 1 \quad (2)$$

A stabilitás növelésére a szakirodalom kiegészítő módszereket definiál:

- A visszacsatolt áramjel szűrésével a stabilitási tartomány kiterjeszthető: aluláteresztő vagy polinomiális szűrő megfelelő hangolásával. A nagyobb frekvenciák kiszűrésével a vizsgálható frekvenciatartomány csökken, a szűrő amplitúdó- és fázishibája pontatlanságot okoz [2], [7]–[11].
- A valós oldalon soros fizikai induktivitás alkalmazása szintén növeli a stabilitást, azonban fizikai elem lévén drágítja a szimulációt és szintén csökkenti a pontosságot [10].
- A virtuális oldalon sönt ágban elhelyezett kondenzátor hasonló eredménnyel rendelkezik, mint a valós oldali induktivitás, de a módszer gyakorlati alkalmazása nem elterjedt [12].

A kiegészítő módszerek használatával nem növelhető a stabilitási tartomány minden határon túl, mert a pontosság már nem lesz megfelelő. Amennyiben a kiegészített tartomány sem elegendő a szimuláció elvégzéséhez, úgy más interfész módszert kell kidolgozni. A függelék F1.1 fejezetében a stabilitásvizsgálatot példák segítségével ismertetem egy egyszerűsített rendszer esetén.

A késleltetés jelentős részét legtöbb esetben a szimulációs időlépcső adja, ehhez adódik hozzá az A/D, D/A konverziós idő, a teljesítményerősítő és szenzorok késleltetése és a jelterjedési idő. A késleltetés fázishibát okoz, amely csökkenti a stabilitási tartományt és eltolja a valós és virtuális oldalon mért hatásos és meddő teljesítmény arányokat. A késleltetések mélyebb ismertetését két részre kell felosztani az implementációs környezet és egyben a szimulációs időlépcső nagysága alapján.

Az univerzális CPU-t használó solverek időlépcsője hardveres korlátok miatt $T_S \geq 20\mu s$. A szimulációs időlépcsőhöz képest a PHIL környezet többi eleme okozta késleltetés elhanyagolható nagyságú, ezért elegendő csak a szimulációs időlépcsőt figyelembe venni. A késleltetés pontos értékének tudatában a fázishiba kompenzálására számos módszer alkalmazható:

- Az áramvisszacsatolásban dq- vagy Fourier-transzformációval eliminálható a fáziskülönbség. Az interfész algoritmus így mindkét esetben csak azon frekvenciákon működik, amelyekre implementálva lett a transzformáció, ezért ettől eltérő frekvenciák nem vizsgálhatóak [13], [14].
- A virtuális oldalon mért feszültség fázishelyzetének befolyásolása (siettetése) után csatoljuk ki a teljesítményerősítőre a jelet. Ez egyrészt Fourier-transzformációval, másrészt Smith-prediktor alkalmazásával is megvalósítható. Mindkét esetben jó szimulációs eredmény érhető el [15]–[18].
- A virtuális oldalon áraminjektálással kompenzálható a teljesítményeltolás, ennek előnye, hogy az interfész dinamikai paramétereit nem befolyásolja a módszer, viszont a kompenzálás csak az implementált frekvenciákon történik.

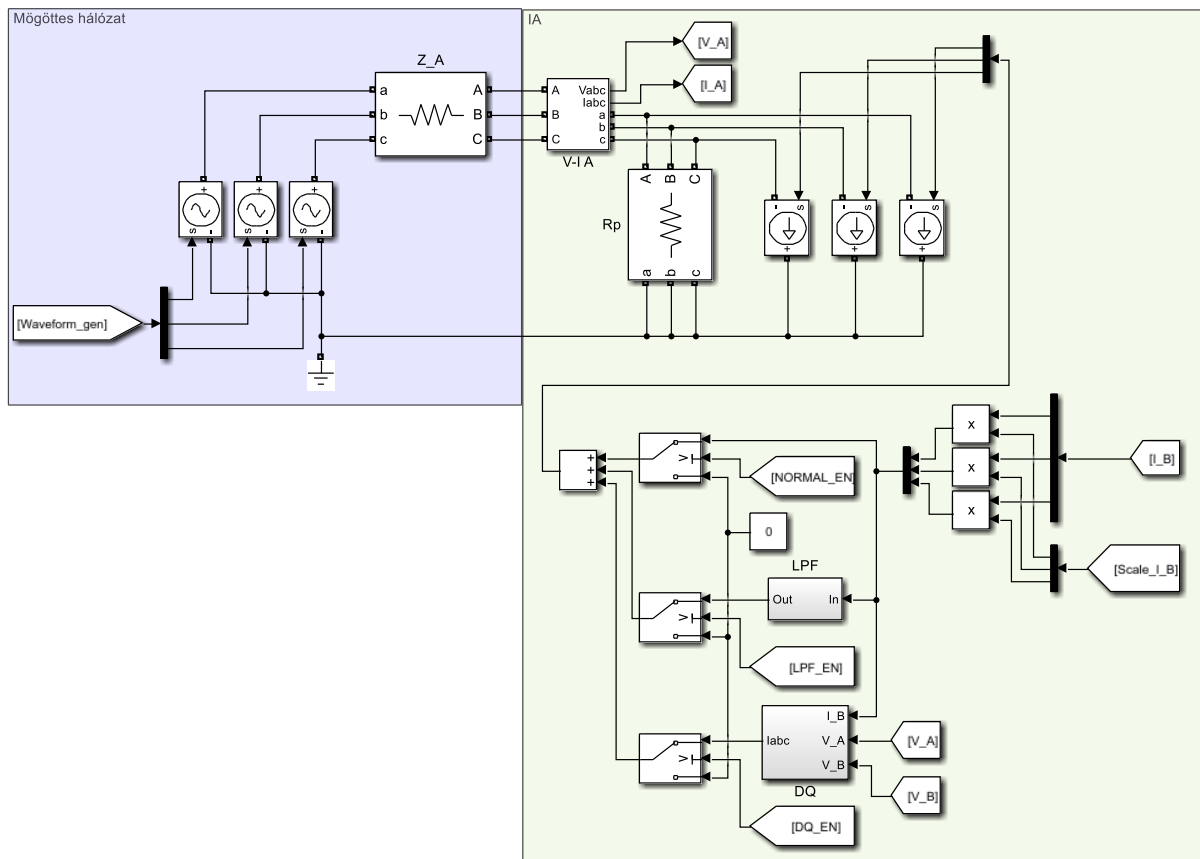
A kis időállandós rendszerek vizsgálatához előnyös az FPGA alapú szimuláció, amely szimulációs időlépcsője $T_S \leq 1\mu s$. Az FPGA saját programozási nyelvén (általában VHDL) leírt kódok futtatására alkalmas, de ennek alkalmazása szakértelmet igényel. Az Opal-RT Technologies által fejlesztett eFPGASim eHS solvere áramkörü modellek szimulálását teszi lehetővé néhány száz nanoszekundumos időlépcsővel. Így nincs szükség speciális programozási tudásra az FPGA adta lehetőségek kiaknázásához. Az eHS solver használatának hátulütője, hogy a be- és kimenetek nem szinkronizáltak az eHS szimulációs időlépcsőhöz, a mintavételi időközök eltérhetnek, és a kimenetre sem egyforma időközönként érkezik az elvárt jel („jitter” jelenség). A kis időlépcső miatt a szimulációs keretrendszer többi elemének késleltetése nem hanyagolható el, amelyek kumulált értékére egy intervallumot tudunk meghatározni. Az összegzett késleltetés nagysága a fentebb említett nehézségek ellenére jóval kisebb, mint a CPU solver-es implementációnál, így a stabilitás növelésére kisebb időállandójú szűrő vagy kisebb fizikai induktivitás is elegendő. A fázishiba a kis késleltetés miatt kevésbé jelentkezik, ezért kompenzálásra általában nincs szükség (és a pontos kompenzálás csak állandó értékű késleltetés esetén lenne lehetséges).

Az interfész pontosságát mindkét implementációs környezetben befolyásolják a virtuális és valós rész közt elhelyezett eszközök tulajdonságai. Az ITM algoritmus a fizikai eszköz hatását nem képes ideálisan leképezni a modellben a pontatlanságok miatt. A szimulációs környezet építőelemeit tekintve a következő konzekvenciák vonhatóak le:

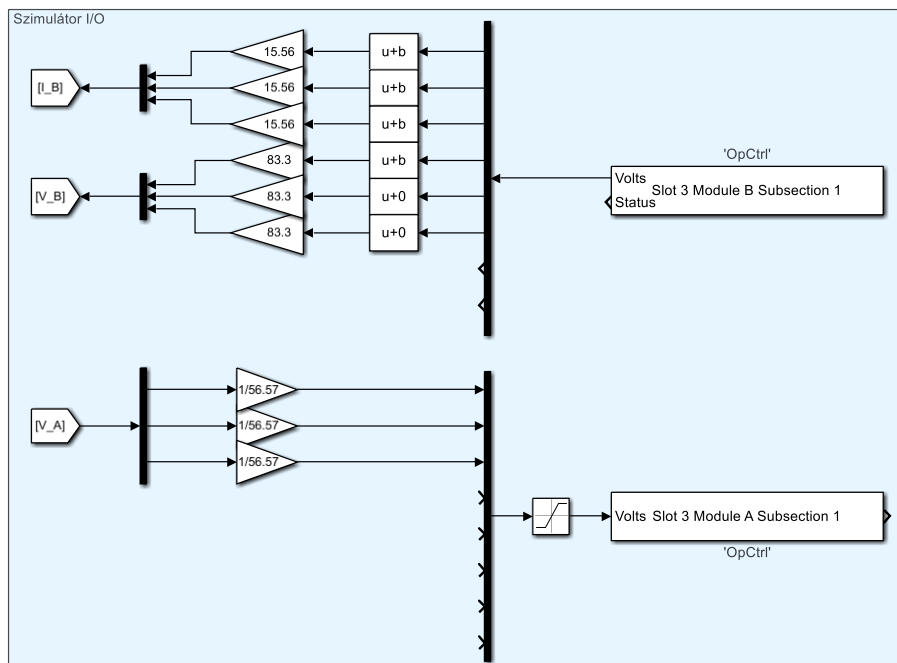
- A/D, D/A konverzió: A többi építőelemhez képest laboratóriumi környezetben elhanyagolható mértékű hibát okoz, nagy sávszélességű és mintavételi frekvenciájú kártyákat alkalmazunk, melyek felbontása is rendkívül jó.
- Lineáris teljesítményerősítő: A teljes kivezérlési tartományban kis mértékű hibával követi a bemeneti jelet. Amennyiben áttétel vagy ofszet hibával rendelkezik a készülék, úgy a hibák ismeretével kompenzálható.
- Áram- és feszültségmérő szenzorok: Általánosan a szenzorok a szimulációs környezet gyengepontjai. Az ofszet- és áttételhiba kompenzálásra szorul, amely további nehézsége ezen értékek hőmérsékletfüggése. A szenzor sávszélessége és egyben az áttétel frekvenciafüggése a gyors jelváltozások esetén csökkenti a pontosságot. A mérési zajok eliminálására hangsúlyt kell fektetni lehetőleg hardver szinten, de szoftveresen megvalósított szűréssel (akár átlagolással) is csökkenthető.
- Solver: A solver algoritmus okozta számítási pontatlanságok elhanyagolható mértékűek, azonban a mintavételi időközök nem egyformák, amely fázishibát okoz. A szimulációs időlépcsőben a mintavételezés pillanatszerű, így a mérési zajok hatása közvetlenül jelentkezik a szimulációban.

CPU alapú implementáció

Az ITM algoritmus CPU solveren alapuló, valós idejű szimulációhoz használt változatát Matlab Simulink környezetben implementáltam. A normál ITM módszeren felül két eltérő áramvisszacsatolási módszert is megvalósítottam, egyik az aluláteresztő szűrővel, másik a dq-transzformációval kiegészített verzió. Az ITM virtuális oldalának blokkvázlatát a 10. ábra szemlélteti. A mögöttes hálózati részt egy Thevenin-ekvivalens alkotja, amely feszültségforrásainak bemeneteire a jelgenerátor csatlakozik. Az interfész algoritmus részét képezi a feszültség- és árammérő blokk, amely a teljesítmény interfész irányába kicsatolt feszültséget szolgáltatja. A valós oldalról érkező „IB” áram normál ITM esetén közvetlenül jut az áramgenerátorok bemenetére, aluláteresztő szűrővel kiegészített mód esetén egy paraméterezhető aluláteresztő szűrőn át, míg dq-transzformáció alkalmazása esetén a „DQ” transzformációs blokkon át kerülnek visszacsatolásra az áramjelek. Technikai szempontból a solvernek szükséges egy párhuzamos ellenállás („Rp”) elhelyezése az áramgenerátorokkal a maradékáramok elvezetésére. A valós oldal irányába a szimulátor I/O kártyái felé csatoljuk ki a jeleket, amelyet a 11. ábra szemléltet. A kártyákat a jobb oldalon látható blokkok alkotják, amelyek jelszinten továbbítják a kívánt jeleket, ezért a teljesítményerősítő és a szenzorok áttételének megfelelő skálázást kell beiktatni. Az állandó értékű ofszet jelenség korrigálására „Bias” blokkokat alkalmaztam.

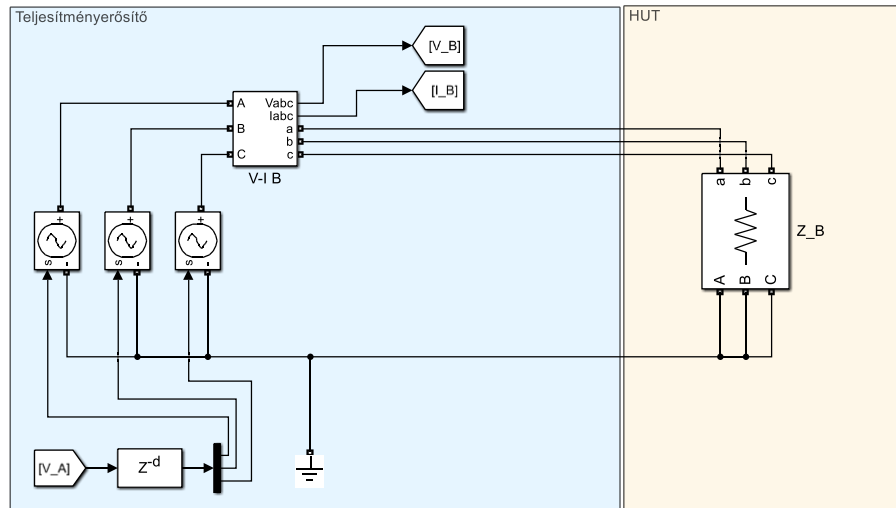


10. ábra: ITM algoritmus virtuális része



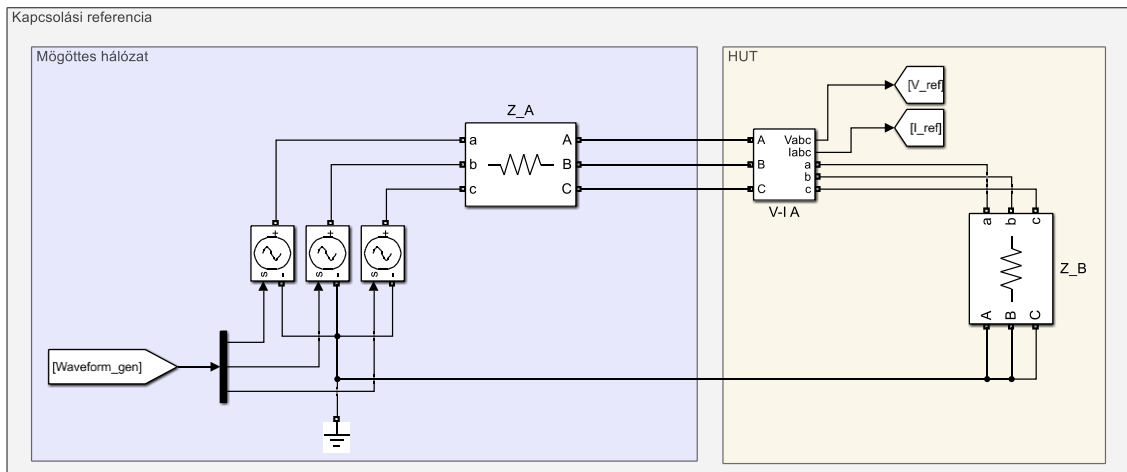
11. ábra: A valós idejű szimulátor ki- és bemenetei a modellben

Az algoritmus megfelelő átvitelének ellenőrzésére két párhuzamosan futó referencia modell egység is leképezésre került a modellben: egy ITM algoritmus referencia és egy kapcsolási referencia modell. Az ITM referencia modell virtuális oldala megegyező a fentebbi 10. ábra blokkvázlatával, míg a valós oldal leképezését a 12. ábra szemlélteti. A teljesítmény interfész ideális elemekkel reprezentált, továbbá a késleltetés emulálására a feszültség kicsatolásába és az áram visszacsatolásba egy-egy időlépcsőnyi késleltetést helyeztem el. A fizikai eszközt jelen esetben a „ZB” impedancia helyettesíti.



12. ábra: Az ITM referencia modell valós része

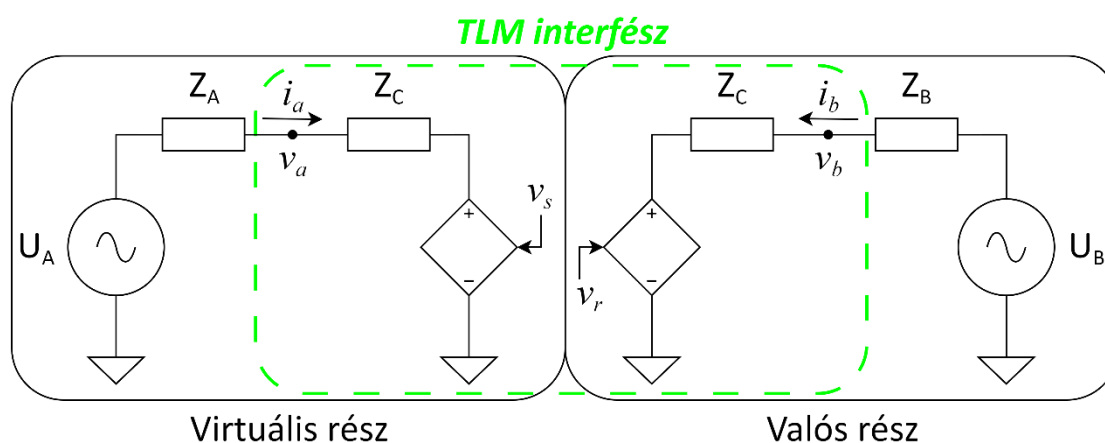
A kapcsolási referencia blokkvázlatát a 13. ábra mutatja. Itt a teljesen ideális esetet szimuláljuk, ahol a mögöttes hálózat és a fizikai eszköz erősáramúan csatlakozik.



13. ábra: Az ITM algoritmus kapcsolási referencia modellje

3.3 TLM (Transmission Line Model)

A távvezeték modell (TLM) a Bergeron távvezeték modellen alapuló módszer, amely a hullámegyenletekből származtatott sorozatos hullámindításokkal képezi le a távvezeték két vége közti kapcsolatot. A TLM blokkvázlata a 14. ábra szerinti. A virtuális és valós oldalon egy-egy Thevenin-modell kap helyet, amely Z_C helyettesítő impedanciájának értéke azonos a vezeték karakterisztikus impedanciájával. Veszteségmentes esetben a befutási idő egy szimulációs időlépcső nagyságú. A két feszültségforrás közti csatolást a (3)-(4) egyenletek írják le [3].



14. ábra: TLM algoritmus blokkvázlat

$$v_r(k) = 2 \cdot v_a(k-1) - v_s(k-1) \quad (3)$$

$$v_s(k) = 2 \cdot v_b(k-1) - v_r(k-1) \quad (4)$$

A TLM nagy stabilitással rendelkezik még tranzien্স jelenségek esetén is, de elvából kiindulva egy fizikai ellenállás beiktatása szükséges, amely csökkenti a teljesítményerősítő kivezérlési tartományát és jelentős veszteséget okoz.

A TLM algoritmusnak két megközelítési módja lehetséges:

- Első esetben az interfész algoritmus által leképezett távvezetékot felhasználjuk a modellben a fizikai eszköz és a mögöttes hálózat közti kapcsolat kialakításában. Az interfész paraméterezésekor próbáljuk közelíteni a távvezeték jellemzőit. CPU-t használó implementációs környezetben a szimulációs időlépcső korlátossága miatt rövid távvezetékek megvalósítása nem lehetséges.
- Második esetben csak interfész algoritmusként használjuk a TLM-et. A távvezeték jelleg miatt az átvitt teljesítménytől függő meddő teljesítmény termelés/fogyasztás hibát okoz. A távvezeték koncentrált paraméterű helyettesítése egy szűrőként jellemezhető, ezért a nagyobb frekvenciájú jeleket csillapítja.

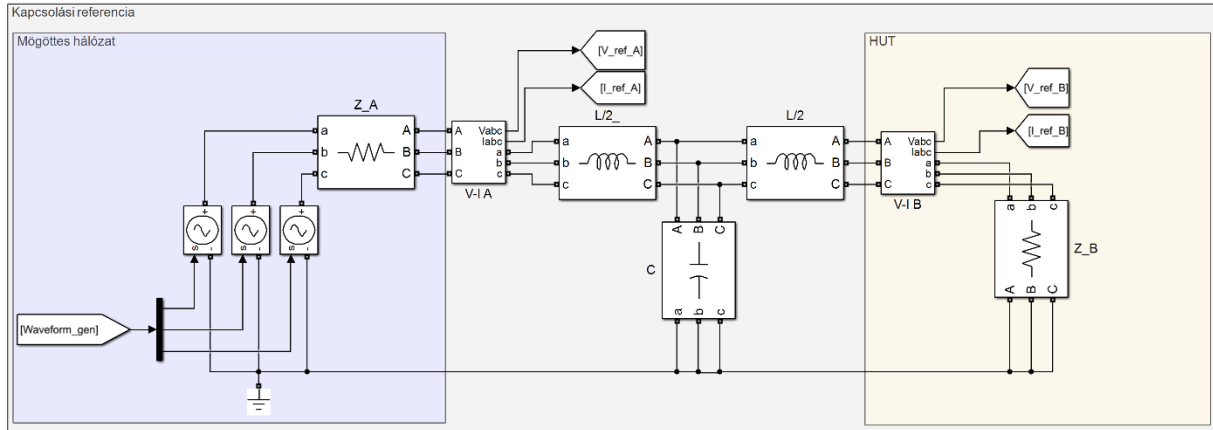
A módszer PHIL alkalmazáson kívüli vonatkozása az ún. „stubline” modell, amely elve azonos a TLM-vel, de minden része szoftveres környezetben megvalósított. A stubline állapotterek szétcsatolására alkalmazható, így számítási erőforrás spórolható meg a mátrixműveleteken. A [19], [20] cikkek bizonyítják a TLM algoritmus elvének megalapozottságát és jó alkalmazhatóságát teljesen szoftveres környezetben.

A PHIL környezetben fellépő hibák a TLM algoritmus pontosságát csökkentik. A mintavételi időközök eltérése és a hardveres komponensek további késleltetései miatt a távvezeték befutási ideje nem lesz állandó értékű. A modellből indított hullám nem megfelelő időpillanatban érkezik a valós oldalra és a valós oldalon mért értékekből számolt hullám szintén nem lesz ideális. A késleltetés inkonzisztenciája az elvárttól eltérő állandósult állapotot alakít ki. A solver pillanatszerű mintavétele a zajérzékenységet növeli. A szenzorok hibái, a fizikai ellenállás bizonytalansága és hőmérsékletfüggése fokozza a pontatlanságot.

CPU alapú implementáció

A TLM algoritmust jelen fejezetben leírtak alapján valósítottam meg. A leképezett távvezeték veszteségmentes, így a távvezeték befutási idejét egy időlépcsőnyi késleltetés fogja alkotni. A virtuális rész blokkvázlatát a 15. ábra szemlélteti. A mögöttes hálózat Thevenin-ekvivalensével reprezentált. A Bergeron távvezeték modell két csatolt Thevenin helyettesítő képből épül fel, amely virtuális részét a „Zc” ellenállás és a jobb oldalon látható feszültséggenerátorok alkotják. A csatolást megvalósító egyenletek a zöld háttérű rész alsó felén láthatóak. A „Vs” küldő és „Vr” fogadó oldali feszültség értékeit az (3)-(4) egyenletekkel ekvivalens leképezés adja. A teljesítmény interfész irányába a jelek ki- és visszacsatolása ugyan azon módon történik, mint az ITM algoritmus esetén (11. ábra), annyi különbséggel, hogy a teljesítményerősítő bemenő jele itt a számított „Vr” feszültség lesz.

A kapcsolási referenciát a 17. ábra szemlélteti. Az interfész algoritmus távvezetékét szimulál, amely leképezéséhez egy koncentrált paraméterű T-modell került a TLM helyére. A koncentrált paraméterek a befutási idő (szimulációs időlépcső) és a karakterisztikus impedancia értékéből számíthatóak az (5)-(6) összefüggések segítségével. Például $T = 100 \mu s$ és $Z = 10 \Omega$ paraméterek feltételezésével az (5)-(6) egyenletekben látható eredmények adódnak.



17. ábra: A TLM algoritmus kapcsolási referencia modellje

$$L/2 = \frac{Z \cdot T}{2} = \frac{10 \cdot 100 \cdot 10^{-6}}{2} = 0,5 \text{ mH} \quad (5)$$

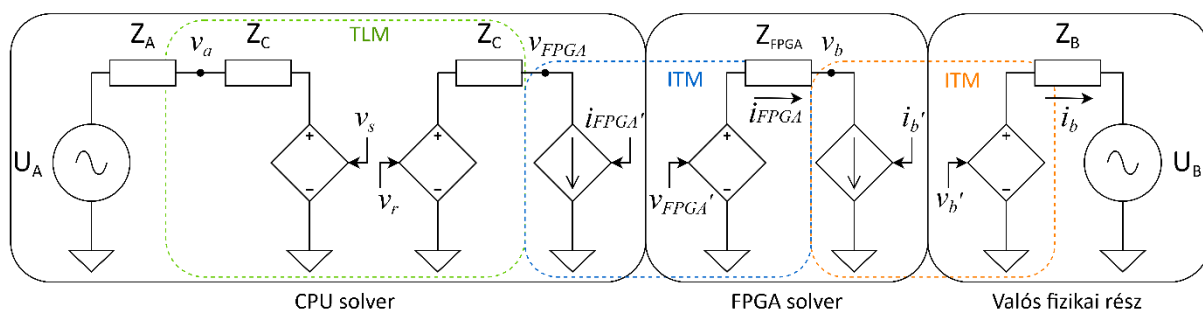
$$C = \frac{T}{Z} = \frac{100 \cdot 10^{-6}}{10} = 10 \mu F \quad (6)$$

3.4 Többszintű interfész algoritmus

Az előző fejezetekben ismertettem az ITM és TLM algoritmusokat. Összegezve, az ITM a szimulációs keretrendszer hibáinak ismeretében a kiegészítő és kompenzáló módszerekkel jól alkalmazható. Az FPGA solveres megvalósítás további javulást biztosít a kis időlépcső által. Hátránya a virtuális és valós oldali impedanciák arányától függő stabilitás, amely még kiegészítő módszerekkel is limitációkat okoz. A TLM algoritmus ezzel szemben bármilyen impedancia viszony mellett stabil, de a késleltetésre, mérési hibára való érzékenysége és a fizikai ellenállás szükségessége miatt alkalmazása nehézkes.

Az interfész algoritmus tulajdonságai tovább javíthatóak több szinten kialakított interfész algoritmusok kombinálásával. Ez lehetővé teszi a módszerek előnyeinek egyesítését, amellyel bizonyítottan jobb eredmény érhető el, mint önálló esetben [21], [22]. Egy adott kialakításhoz használható azonos vagy több típusú interfész algoritmus, amelyek implementációs környezete rugalmasan változtatható. Például, kétszintű ITM esetén két különböző szimulációs időlépcsővel futó részre bontható az interfész algoritmus. A külső kis időlépcsős általában FPGA-n futó ITM alakítja ki a tesztelt eszközzel a kapcsolatot. A nagyobb időlépcsővel CPU-n futtatott modell és az FPGA modell közé egy további ITM algoritmus kerül elhelyezésre. Így egyesíthető a két implementációs környezet előnyei: a kis időlépcsős résszel a fizikai eszköz hatása megbízhatóan lekövethető, míg a nagy időlépcsős szimulációban egy kiterjedtebb hálózatrész is leképezhető. A két külön időlépcsővel futtatott modell közt az interfész algoritmus a szoftveres kialakítás által jobban kézben tartható, könnyebben és pontosabban lehet korrekciót vagy kompenzálást alkalmazni.

A 18. ábra blokkvázlata a kidolgozott, több típusú interfész algoritmust kombináló és a két implementációs környezetet egyaránt használó megoldást szemlélteti. A valós fizikai rész és az FPGA modell közt egy ITM algoritmust valósítottam meg, amely kis késleltetéssel rendelkezik, ezért a fázishiba hatása kevésbé jelentkezik és a tranziens folyamatok jobban lekövethetőek. A gyors interfész precízebbé teszi a fizikai rész hatásának megjelenítését a szoftveres világban. Az FPGA modellben a mögöttes hálózat impedanciájának egy része elhelyezhető (Z_{FPGA}), de érdemes kis értéken tartani a nagy stabilitási tartomány érdekében. A CPU és FPGA solver határán egy második ITM interfész kap helyet. A CPU modellben a mögöttes hálózathoz egy TLM algoritmussal csatlakozik az FPGA-rész. A TLM teljesen szoftveres megvalósítása miatt a késleltetések és a mérések ideálisak, ezért a távvezeték modell mindig stabil lesz. A létrehozott három szintű interfésszel gyenge mögöttes hálózatu szimulációk is végezhetőek, amelyek az ITM módszerrel biztosan stabilitási tartományon kívül esnének.



18. ábra: Többszintű interfész blokkvázlata

Az impedancialapú stabilitási feltétel két részre bontható. A külső ITM algoritmusra a (7) egyenletnek minimálisan teljesülnie kell, továbbá a megjelenő késleltetést is számításba kell venni, ami rontja a stabilitási tartományt. A belső, CPU-FPGA közti ITM algoritmusra a (8) szerinti feltételnek kell teljesülnie.

$$Z_{FPGA} \leq Z_B \quad (7)$$

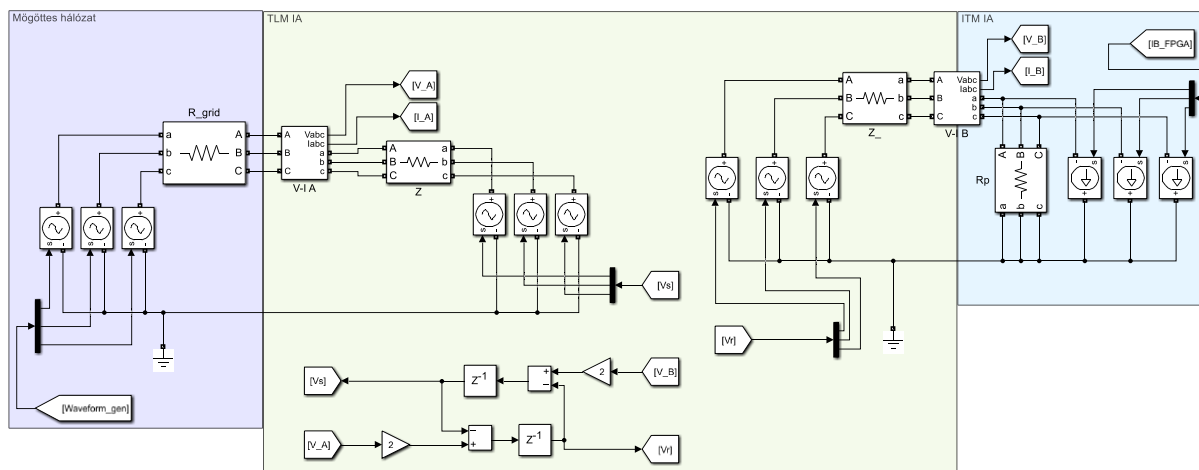
$$Z_C + Z_{FPGA} \leq Z_B \quad (8)$$

A TLM algoritmus minden esetben stabil lesz, így a Z_A mögöttes hálózat impedanciája elhanyagolható a stabilitásvizsgálat során. A Z_C karakterisztikus impedancia közvetlenül befolyásolja a belső ITM algoritmus stabilitását. Ez limitálja a Z_C nagyságának szabad megválasztását, így a TLM algoritmus csak korlátozottan alkalmazható távvezeték reprezentálására.

A koncepció implementálása

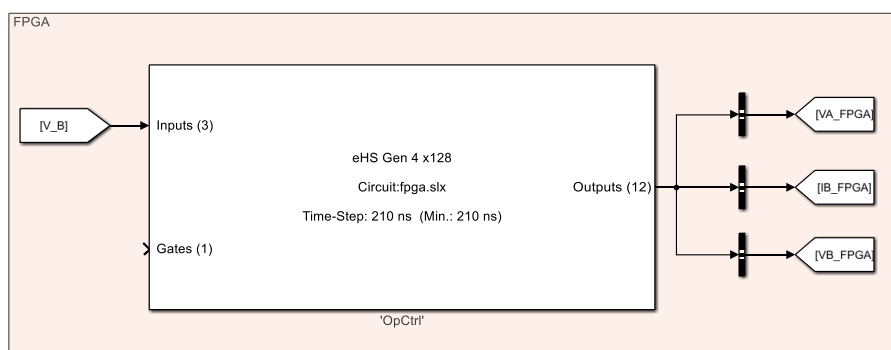
Az implementált modell CPU-n és FPGA-n futó részegységekre bontható. A CPU-n futó rész megvalósításának módja megegyezik az ITM és TLM algoritmusoknál már bemutatott módszerrel. Az FPGA-n futó rész szintén egy áramköri modell, azonban ennek megépítése nagyobb körülményt igényel az OPAL-RT eHS solverének specialitásai miatt.

A 19. ábra szemlélteti az interfész CPU-ban elhelyezett részét. A mögöttes hálózat Thevenin-ekvivalenséhez csatlakozik a fentebbi fejezetben már bemutatott TLM modell, amely mindkét oldala a virtuális részen helyezkedik el, ezért a TLM ideálisan megvalósított. A TLM fogadó oldalára csatlakozik a belső ITM algoritmus, amely az FPGA szimulációval alakítja ki a kapcsolatot.



19. ábra: Többszintű interfész CPU alapú része

Az OPAL-RT eHS solverével áramköri elemekből felépített modellek szimulálhatóak néhány száz nanoszekundumos időlépcsővel. A Matlab Simulinkbe integrált módon elérhető az FPGA alapú szimuláció interfésze, amelyet a 20. ábra szemléltet. Az „eHS Gen 4 x128” feliratú blokk az eHS szimulációs mag. Ezen blokk rendelkezik ki- és bemenetekkel, amelyek segítségével a CPU modellből adhatóak bemenetként és fogadhatóak kimenetként jelek. Fontos megjegyezni, hogy a CPU modellből az FPGA bemenetére a jelek egy CPU szimuláció időlépcső késleltetéssel, míg FPGA modell irányából két CPU szimulációs időlépcsővel késve érkeznek meg. Ez a többszintű interfész belső ITM algoritmusánál fog megjelenni, mint késleltetés.



20. ábra: Az FPGA szimulációs mag CPU-modellben elhelyezkedő interfésze

Az eHS-ben futtatni kívánt áramköri modellbe csak a gyártó által specifikált áramköri elemek illeszthetőek és az elnevezések erőteljes konvenciót igényelnek, amelyre a solver paraméterezése és a fizikai ki- és bemenetek egyértelmű definiálása miatt van szükség.

Az FPGA-ban megvalósított áramköri modell blokkvázlatát a 21. ábra szemlélteti. A külső ITM virtuális része látható itt, a CPU modellből kapott feszültség értékek („VB”) a vezérelt feszültségforrásokra kapcsolódnak, az áramkörben visszamért áram értékek („Y004-Y006 IA_FPGA”) a CPU modellben található belső ITM áramvisszacsatolásai. Az „Y001-Y003 VA_FPGA” feszültségmérések a teljesítmény interfész irányába kiadott jeleket adják, míg a vezérelt áramforrások bemenetére („U004-U006

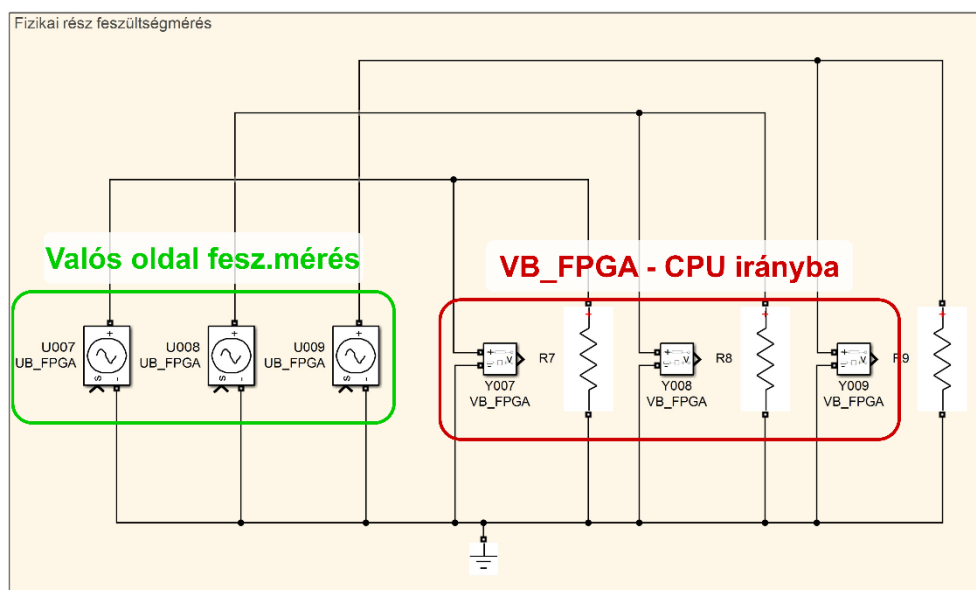
The diagram illustrates the current measurement setup for the FPGA ITM virtual part. It features three main functional blocks:

- VB - CPU irányból** (Orange box): Contains three voltage sources labeled U001 VB, U002 VB, and U003 VB.
- IA_FPGA - CPU irányba** (Red box): Contains three current sources labeled Y004 IA_FPGA, Y005 IA_FPGA, and Y006 IA_FPGA.
- Valós oldal árammérés** (Blue box): Contains three current sensors labeled U004 IB_FPGA, U005 IB_FPGA, and U006 IB_FPGA.

Additional components and connections include:

- Three resistors labeled Z_FPGA, Z_FPGA, and Z_FPGA_ in the top left.
- Three resistors labeled Rp in the center.
- Three current sources labeled Y001 VA_FPGA, Y002 VA_FPGA, and Y003 VA_FPGA in a green box.
- A green label at the bottom indicates the direction: **VA_FPGA - telj.erősítő felé**.

Az eHS mag alkalmazása esetén a ki- és bemeneti kártyák értékei csak az FPGA szimulációban elérhetőek, ezért a teljesítmény interfész által mért feszültség értékek CPU modellben való fogadására egy áthidaló megoldást kellett kitalálni, amelyet a 22. ábra szemléltet. A három vezérelt forrás bemenetére érkezik meg az analóg bemeneti kártyán mért jel, majd egy nagy értékű ellenálláson visszamért ugyanezen feszültség. A mért értékek az eHS blokk kimenetén már láthatóak, így a feszültségjelek CPU modellben is elérhetőek.



23

4 Az implementált algoritmusok vizsgálata laborszimulációval

Jelen fejezetben a megvalósított interfész algoritmusok statikus és dinamikus tulajdonságait vizsgáltam. Az összehasonlítás szempontrendszerének kidolgozását követően mindegyik implementált algoritmussal ugyanazon tesztek elvégzése el. A PHIL szimuláció és az interfész algoritmusok két legfontosabb tulajdonsága a stabilitás és a pontosság. Ennek megfelelően az összehasonlító vizsgálatok ezen két alfejezetbe kategorizáltak. Végül a fejezetben az eredmények összefoglalása és kiértékelése olvasható.

4.1 Vizsgáló jelek, szimulációs paraméterek

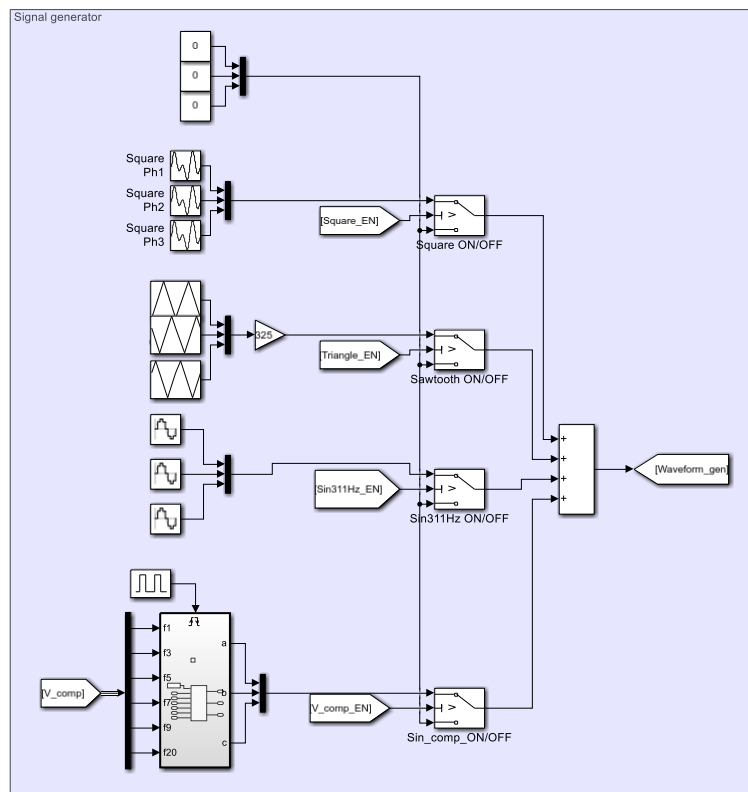
Az implementált algoritmusok átvitelének koherens vizsgálatához előre definiált teszt scenáriókat dolgoztam ki több eltérő vizsgáló jel formájában. A tesztek során a fizikai eszköz fázisonként 1-1 fokozatkapcsolható ellenállás vagy tolóellenállás volt. Az jelalakok összefoglalását az 1. táblázat tartalmazza.

- Az **50 Hz frekvenciájú szinuszjel** a villamosenergia-rendszer fókuszú vizsgálatok végett elengedhetetlen. Ezen vizsgáló jellel a stabilitási tartomány, az amplitúdó és a hatásos-meddő teljesítmény vizsgálatát végeztem. A kapcsolási tranziensek vizsgálata szintén 50 Hz-es szinuszzel történt, egy fogyasztó bekapcsolásával.
- A **311 Hz frekvenciájú szinuszzellel** egy 50 Hz-től független, nagyobb frekvenciájú átvitel vizsgált, amelyet a villamosenergia-rendszerben előforduló 50 Hz-től eltérő jelek inspiráltak (pl.: hangfrekvenciás körvezérlés, többfrekvenciás energiaátvitel).
- A két különböző frekvenciájú, **50 és 311 Hz szinuszzellel** azonos időben is végeztem vizsgálatokat.
- A **háromszögjel** formájából adódóan könnyen kimérhetőek a késleltetések, állandó meredeksége végett nem okoz instabilitást és a jelátvitel alakhűsége is jól vizsgálható.
- A **négyszögjel** végtelen meredekségű jelváltozást tartalmaz, frekvenciaspektruma végtelen, jól vizsgálható ezzel a tranziens stabilitás és a frekvenciaátvitel. A négyszögjel változásainál minden esetben egy egységugrásra adott választ is kapunk, mivel a frekvenciát úgy választottam meg, hogy a tranziensek lecsillapodhassanak és kialakulhasson a rendszer állandósult állapota.

1. táblázat: A vizsgáló jelek és a vizsgált jellemzők

Amplitúdó [V]	Frekvencia [Hz]	Jelalak	Vizsgált jellemző
325	50	szinuszjel	fázishiba $\Rightarrow$ P-Q arányok, amplitúdó, jelalak, stabilitási határ
160	311	szinuszjel	amplitúdó és jelalak
160 + 160	50 + 311	szinuszjel	amplitúdó és jelalak
325	50	háromszögjel	késleltetés és jelalak
325	50	négyszögjel	ugrásválasz, jelalak

A 23. ábra a jelgenerátor implementációját szemlélteti. A különböző jelalakok online, szimuláció közben változtathatóak, így hatékonyan elvégezhető a tesztelési folyamat. A jelgenerátor kimenete az interfész algoritmus modellek mögöttes hálózat feszültségforrásainak bemenetére csatlakozik.



23. ábra: A jelgenerátor megvalósítása Simulinkben

A mérési elrendezés azonos a szimulációs keretrendszer ismertetésénél látható 8. ábra felépítésével. Az implementált interfész algoritmus verziók rendelkeznek paraméterként állítható értékekkel. Az összehasonlító mérések idejére ezek rögzítettek. Az algoritmus specifikus beállításokat a 2. táblázat részletezi, míg az interfészek szimulációs időlépcsőinek értékeit a 3. táblázat tartalmazza.

2. táblázat: Interfész algoritmusok paraméterei

Interfész algoritmus	Paraméter	Érték
ITM	-	-
ITM + aluláteresztő szűrő	Aluláteresztő szűrő időállandója	600 μ s
ITM + fizikai induktivitás	Fizikai induktivitás értéke	1 mH
ITM + dq-transzformáció	Aluláteresztő szűrő időállandója	600 μ s
TLM	Karakterisztikus impedancia (Z_C)	10 Ω
Többszintű koncepció	Karakterisztikus impedancia (Z_C)	10 Ω
	Z_{FPGA}	0,1 Ω

3. táblázat: Szimulációs időlépcsők

Interfész algoritmus	CPU időlépcső [μ s]	FPGA időlépcső [ns]
ITM	100	-
ITM + aluláteresztő szűrő	100	-
ITM + fizikai induktivitás	100	-
ITM + dq-transzformáció	100	-
TLM	100	-
Többszintű koncepció	50	210

4.2 Stabilitásvizsgálat

Az elméleti ismereteket bemutató fejezetekben láthattuk az egyes interfész algoritmusok stabilitási feltételeit. A valós szimulációs keretrendszerben a nemidealitások befolyásolják stabilitást, ezért az elméleti határokhoz képest a mérések várhatóan szűkebb stabilitási határt eredményeznek. A vizsgálati paramétereket a 4. táblázat szemlélteti.

4. táblázat: Stabilitásvizsgálati paraméterek

Mögöttes hálózat impedancia (lásd 8. ábra)	Feszültség csúcsérték	Frekvencia	Jelalak
140 Ω	325 V	50 Hz	szinuszjel

A stabilitási határ keresését a valós részen elhelyezett ellenállás értékének állításával végeztem. A mérési eredményeket az 5. táblázat tartalmazza. A valós rész ellenállásának csökkentésével az utolsó, még stabil üzemállapotban mérhető ellenállás adta a stabilitási határt.

- A **normál ITM algoritmusnál** a várt stabilitási határ ideális esetben azonos valós és virtuális oldali impedanciánál adódik. A mérés alapján ez közelítően teljesült, a késleltetés végett a stabilitási tartomány 1,5 Ω -mal (1,07%) szűkült.

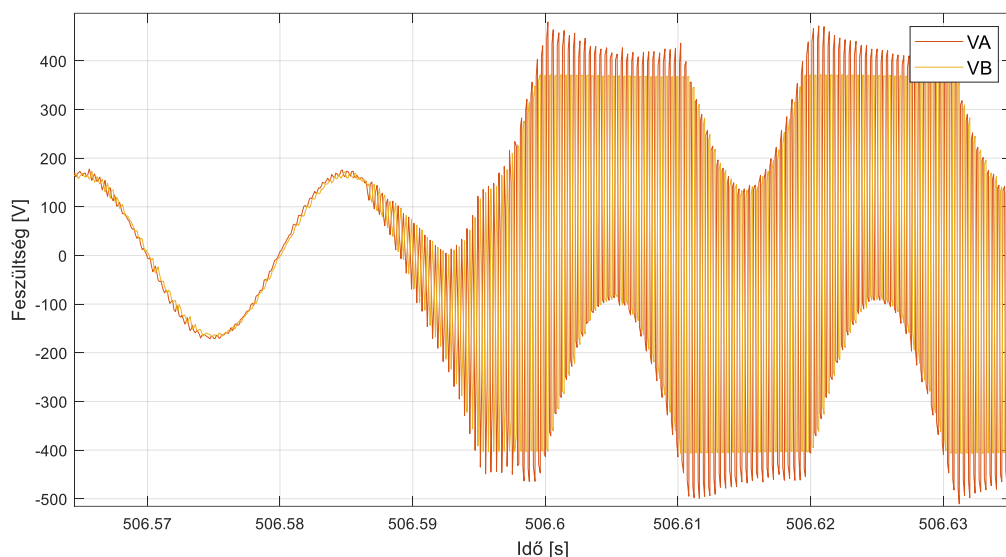
- Az **aluláteresztő szűrővel** kiegészítve a várt stabilitási határ 26,1 Ω volt (előzetesen megállapítható az átviteli függvény és a Nyquist-kritérium segítségével). A szimuláció eredménye az elvi határt megfelelően közelíti, az eltérés nagyjából 1,17 Ω (4,48%).
- A **fizikai induktivitás** hatása megfeleltehet egy 6 μ s nagyságú aluláteresztő szűrőnek, a stabilitási tartományt növelte, de kevésbé jelentős mértékben.
- A **dq-transzformációval** kiegészített ITM esetén a d és q irányú komponenseket aluláteresztő szűrőn keresztül csatolódik vissza, ezért stabilitási határa megegyező az aluláteresztő szűrővel kiegészített ITM algoritmusával.
- A **TLM interfész** stacioner állapotban végzett stabilitásvizsgálat során mindig stabil maradt, ahogyan az várható volt az elméleti tulajdonságok alapján.
- A **többszintű interfész koncepció** elvi stabilitási határa a részletezett paraméterek alapján 10,1 Ω ideális, késleltetés nélküli esetben. A méréssel a stabilitási határ 11,96 Ω -ra adódott, amely az elméleti maximumtól 15,74%-kal kisebb gyakorlati stabilitási határt eredményezett.

5. táblázat: Stabilitási határok az egyes interfész algoritmusok esetén

Interfész algoritmus	Elvi stabilitási határ [Ω]	Stabilitási határ [Ω]	Elvi határtól való eltérés
ITM	140	141,5	1,07%
ITM + aluláteresztő szűrő	26,1	27,27	4,48%
ITM + fizikai induktivitás	139,2	133,9	-3,81%
ITM + dq-transzformáció	26,1	27,27	4,48%
TLM	mindig stabil	mindig stabil	0%
Többszintű koncepció	10,1	11,96	15,74%

Instabillá válás jelensége

A stabilitási tartományból való kilépés esetén a szimuláció instabillá válik. Ezen jeleséget a 24. ábra szemlélteti. Látható, hogy az instabil tartományba való átmenet rendkívül gyorsan, gerjedő módon jön létre egy 50 Hz-től jelentősen nagyobb frekvencián, a feszültséget csak a kimeneti limit tartja kordában. Az elszabaduló feszültség és áram a névlegeshez képest nagyságrendekkel nagyobb teljesítményt fog eredményezni, mindez romboló hatású lehet a tesztelt berendezés számára. A szimulációs paraméterek megváltozásának hatására (pl. impedanciaviszonyok változása) az alább szemléltetett jelenség következhet be, ezután a szimuláció már nem jut vissza a stabil állapotba.

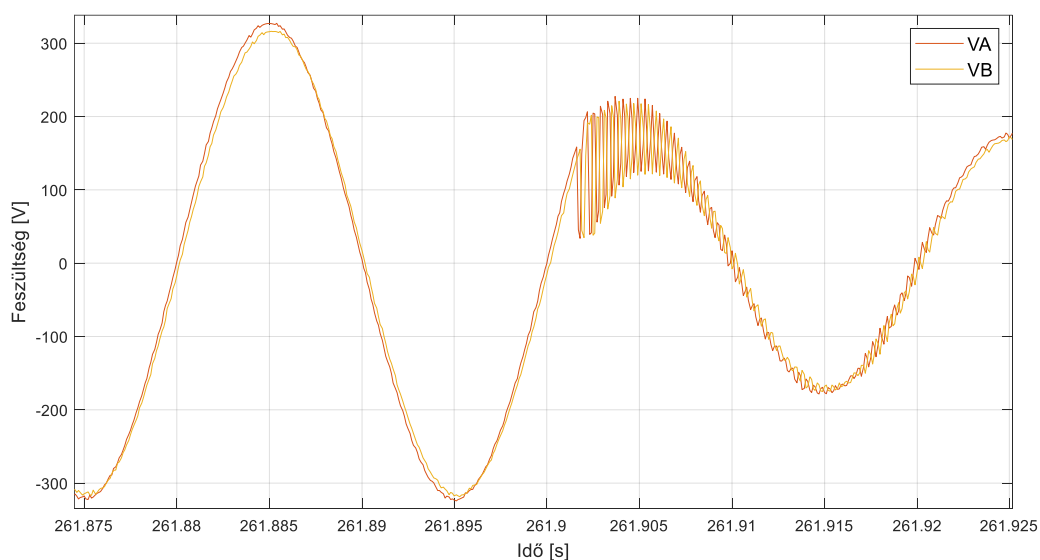


24. ábra: Instabillá válás jelensége

Kapcsolási tranziensek

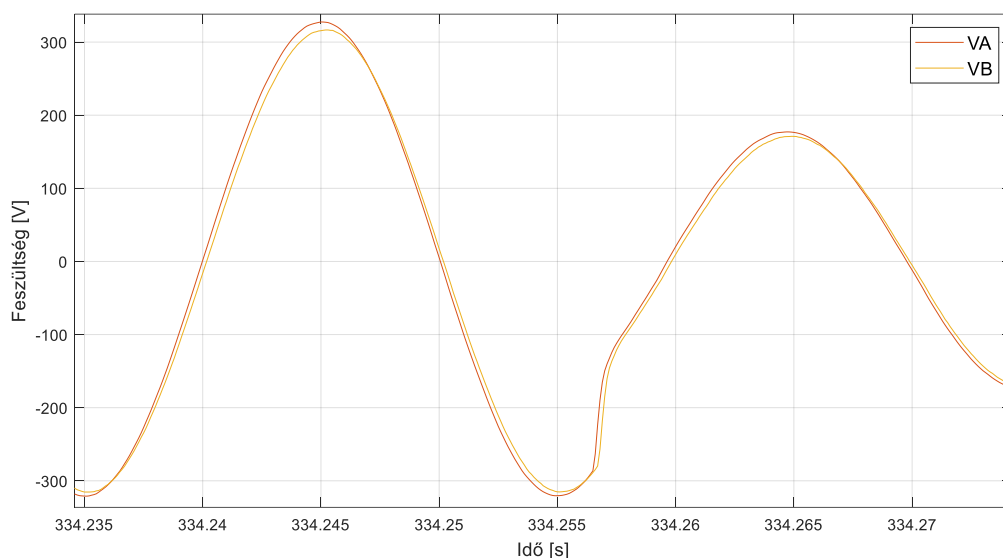
A stabilitási határok állandósult állapotban való vizsgálatát követően a kapcsolási tranziensek hatását is vizsgáltam. A valós részen elhelyezett ellenállás rákapcsolásával szimulálható egy kapcsolási tranziens jelenség, amelyet igyekeztem úgy felvenni, hogy a bekapcsolás utáni valós oldali ellenállás értéke közelítse a stabilitási határt. Ekkor mindvégig a stabilitási határokon belül marad a rendszer, azonban a nagy meredekségű változásra ideiglenes instabilitás jön létre.

A normál ITM és a fizikai induktivitással kiegészített ITM és a TLM esetén a terhelés bekapcsolásakor tapasztalt jelenség közel azonos, a 25. ábra szemlélteti a feszültség jelalakokat. A tranziens lecsengése nagyjából 1 periódus alatt valósul meg, periodikus (lengő) módon.



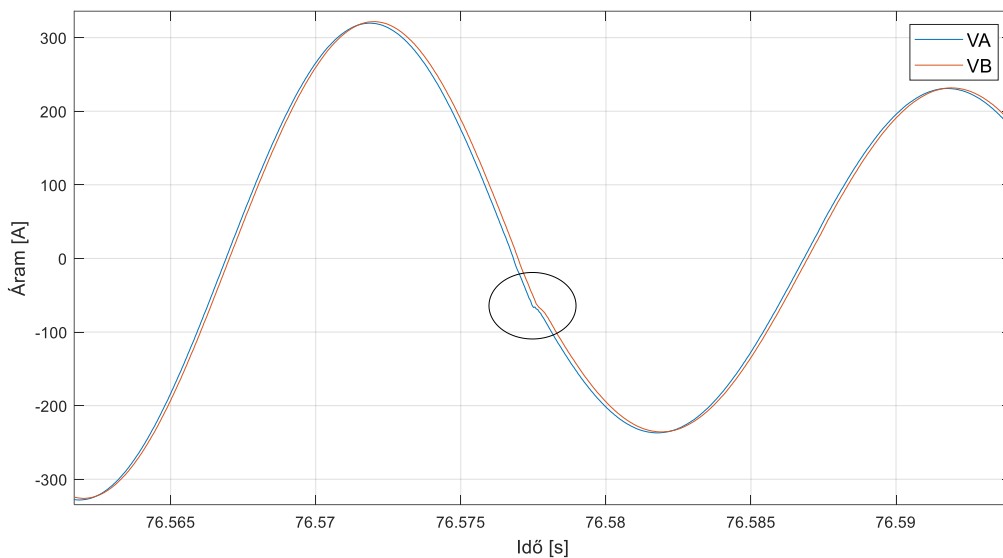
25. ábra: Feszültség jelalak normál ITM és fizikai induktivitással kiegészített ITM esetén

Az aluláteresztő szűrővel és dq-transzformációval kiegészített ITM algoritmus esetén szinte azonos feszültség jelalakot produkált, ezt a 26. ábra szemlélteti. A 25. ábra jelalakjához képest szembevető a különbség: a bekapcsolás során nincs lengés, a kiegészítő módszerek jól simítják a tranzienst. Az instabilitás így nehezebben alakulhat ki egy tranzienst esemény során, ezzel alátámasztva az aluláteresztő szűrővel és dq-transzformációval kiegészített módszer hasznos tulajdonságát.



26. ábra: Feszültség jelalak aluláteresztő szűrővel és dq-transzformációval kiegészített ITM esetén

A többszintű interfész esetén a 27. ábra szemlélti a kialakult feszültség jelalakokat. Látható, hogy jelölt helyen kialakuló kapcsolási tranzienst hatása szinte alig észrevehető mértékű.



27. ábra: Feszültség jelalak többszintű interfész esetén

4.3 Jelátvitel pontosságának vizsgálata

Az interfész algoritmusok pontosságának vizsgálata négy részre osztható. Elsőként a jelátvitel alakhűségét vizsgáltam az 1. táblázat által meghatározott scenáriók esetén. Ezután az amplitúdó eltérést és a PHIL hurokban mérhető eredő késleltetést határoztam meg a fizikai eszköz és a mögöttes hálózat csatlakozási pontjainál mérhető villamos mennyiségek összehasonlításával. Végül a teljesítményalapú elemzéssel kompozit, a villamosenergia-rendszer szemléletéhez közel álló formátumban vizsgálhatóak az interfész algoritmusok átvitelének tulajdonságai. A vizsgálatok során a virtuális és valós oldali impedanciák (8. ábra) értékét a 6. táblázat tartalmazza.

6. táblázat: Alakhűség vizsgálati paraméterek

Mögöttes hálózat impedancia	Teljesítményellenállás értéke
40 Ω	53,1 Ω

A következő alfejezetekben bemutatott ábrákon látható jelmagyarázatokban:

- „ref” (TLM-nél „refA” és „refB”) indexelt jelalakok a kapcsolási referencia jelalakjai
- „A” (valós oldal) és „B” (virtuális oldal) indexel ellátott jelek a valós idejű szimuláció jelei
- „A1” (valós oldal), „B1” (virtuális oldal) a referencia modell jelei.

A többszintű interfésznél nem csak a virtuális és valós oldalon mérhető villamos mennyiségek, hanem az elemi interfészek közti kapcsolódásnál mérhető feszültségek és áramok is vizsgáltak. Ennek megfelelően a jelmagyarázat:

- „A” – mögöttes hálózat és a TLM interfész csatlakozási pontja
- „B” – TLM és a belső ITM közti pont
- „Aehs” – FPGA-ban implementált ITM virtuális oldala
- „Behs” – valós, fizikai rész.

4.3.1 Alakhűség

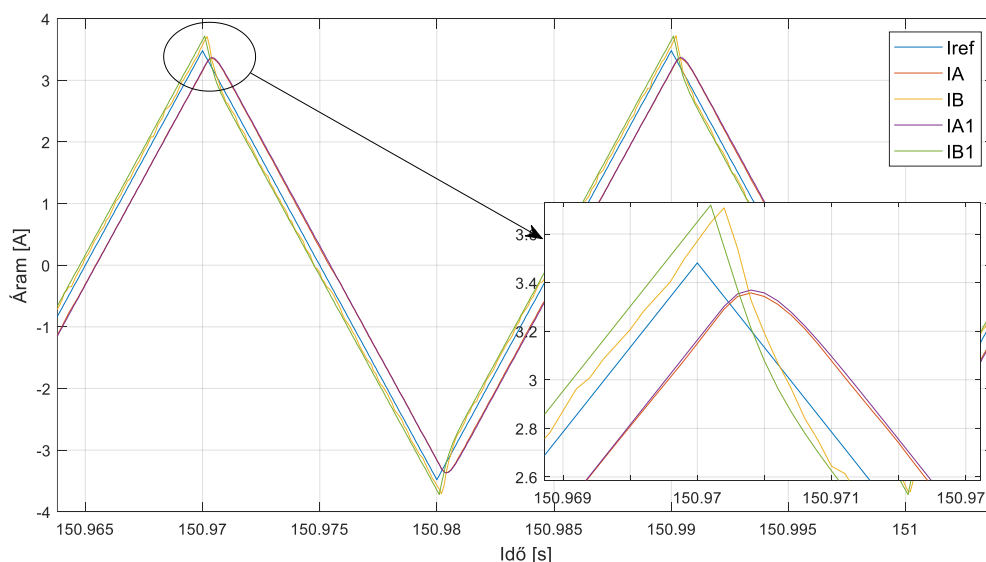
Az alakhűség összehasonlítás alapját képezi egyrészt a mögöttes hálózat feszültségforrásaira kapcsolt jel, másrészt az elkészített referencia modellek. A különböző jelalakok esetén az alakhű jelátvitel áttekintését a 7. táblázat mutatja. A táblázatban „+” jelöli az átvitel teljes alakhűségét, míg a „-” jelöli az átvitel meg nem valósulását, a köztes jelölésekkel az eredmények súlyozása látható. A dq-transzformációval kiegészített ITM algoritmus csak 50 Hz-es szinuszzel vizsgálható, mivel a transzformáció csak ezen a frekvencián végez átvitelt. A meg nem valósítható átvitelek „*” szimbólummal jelöltek.

7. táblázat: Átvitel alakhűsége az egyes módszerek esetén

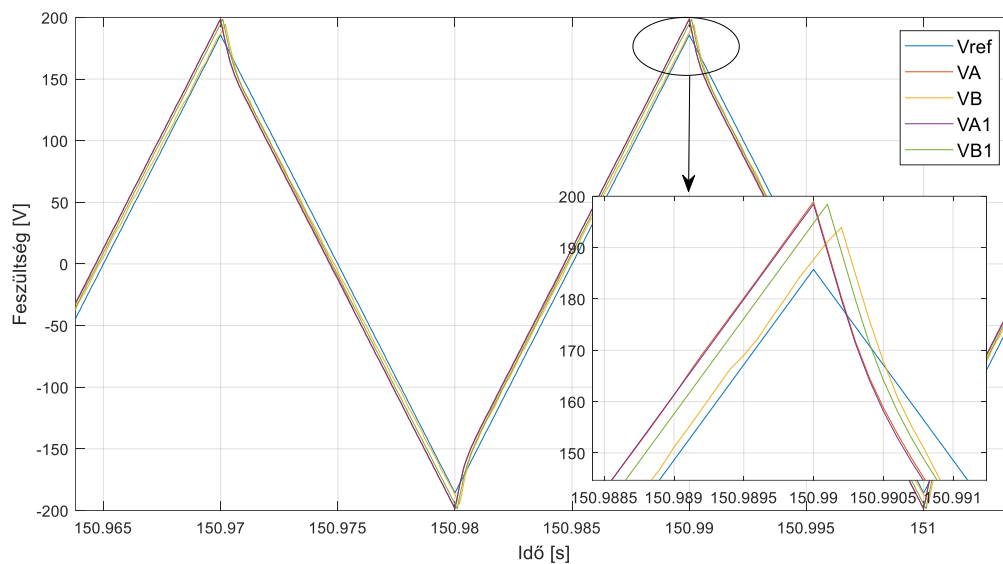
Interfész algoritmus	Színuszjel 50 Hz	Színuszjel 311 Hz	Színuszjel 50+311Hz	Háromszögjel 50 Hz	Négyszögjel 50 Hz
ITM	++	++	++	+	--
ITM aluláteresztő szűrővel	++	++	++	-	-
ITM fizikai induktivitással	++	++	++	-	--
ITM dq-transzformációval	++	*	*	*	*
TLM	++	++	++	+	--
Többszintű koncepció	++	++	++	+	-

Az 50 és 311 Hz-es színuszjelek esetén mindegyik interfész algoritmus alakhű jelátvitelt mutatott és a kapcsolási és interfész referencia modellek jelalakjaival is egyező eredmények adódtak.

A háromszögjel átvitele normál ITM algoritmussal alakhűen megvalósult, azonban az aluláteresztő szűrővel és a fizikai induktivitással kiegészített változat esetén a jelforma torzult. A torzítás oka, hogy mindkét esetben a valós oldalon mért áramot simítjuk, így a visszacsatolt áramjel csúcsai lekerekítetté válnak (28. ábra), ennek a hatása a feszültségekben (29. ábra) behorpadás jelleget okoz.

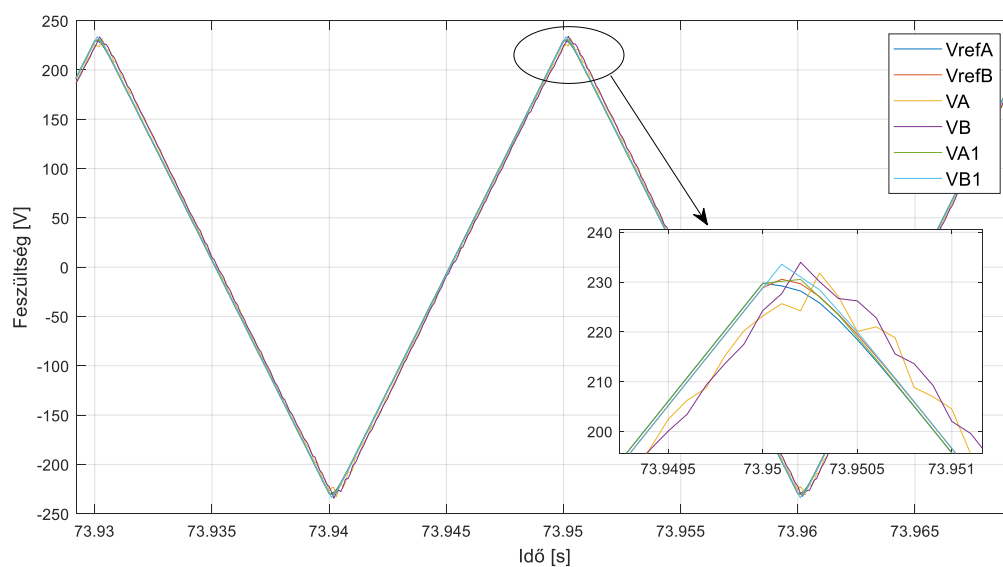


28. ábra: Áramjelek aluláteresztő szűrővel kiegészített ITM esetén (háromszögjel)

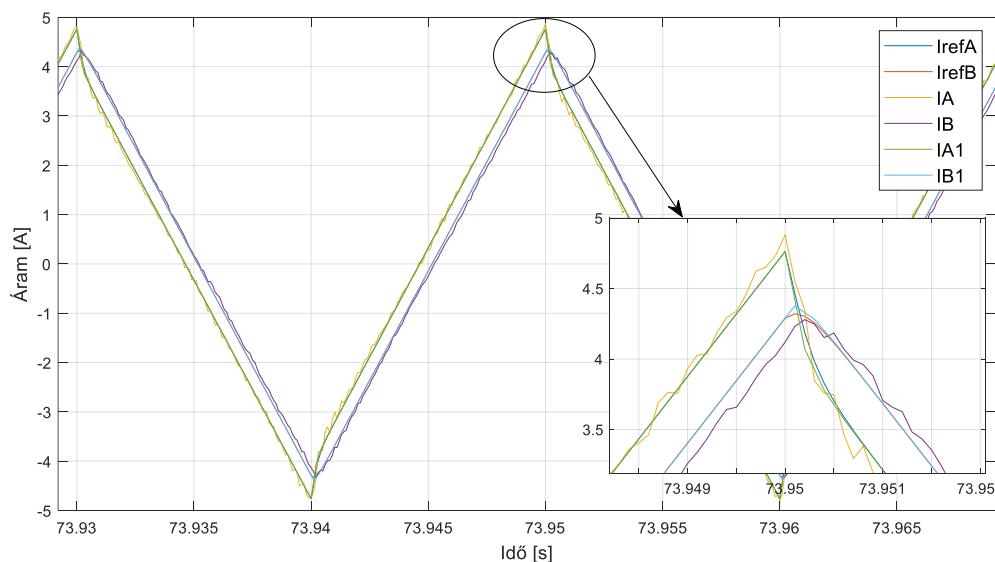


29. ábra: Feszültségjelek aluláteresztő szűrővel kiegészített ITM esetén (háromszögjel)

A TLM esetén a háromszögjel csúcsai kis mértékben lekerekítettnek látszanak (30. ábra), az áramjel esetén (31. ábra) ez erőteljesebben jelentkezik. A lekerekítést a távvezeték modell okozza, hiszen a távvezeték helyettesítő képe egy LCL-szűrőnek feleltethető meg, amely simítja a feszültség és áram jelalakokat.

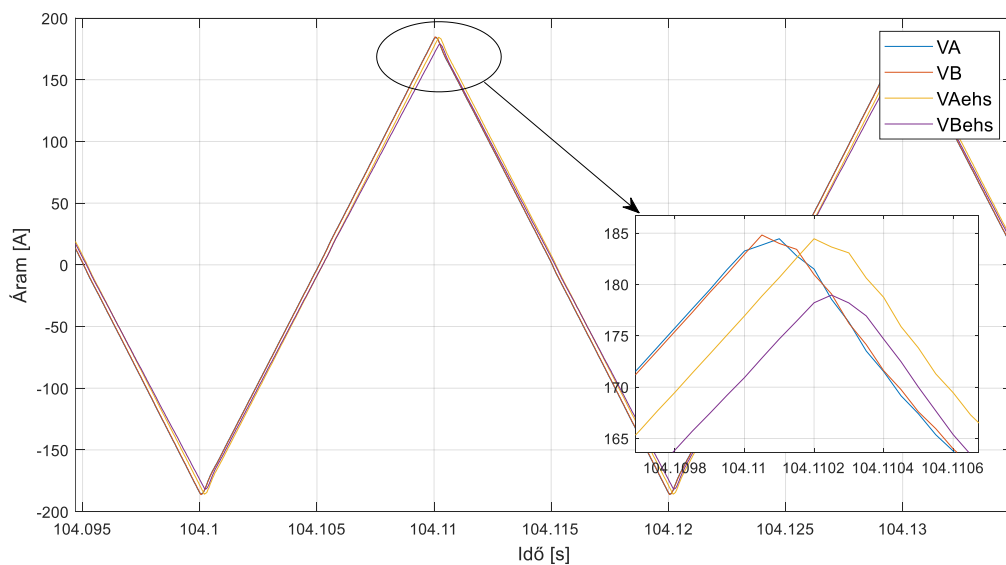


30. ábra: Feszültség jelalakok TLM módszer esetén (háromszögjel)

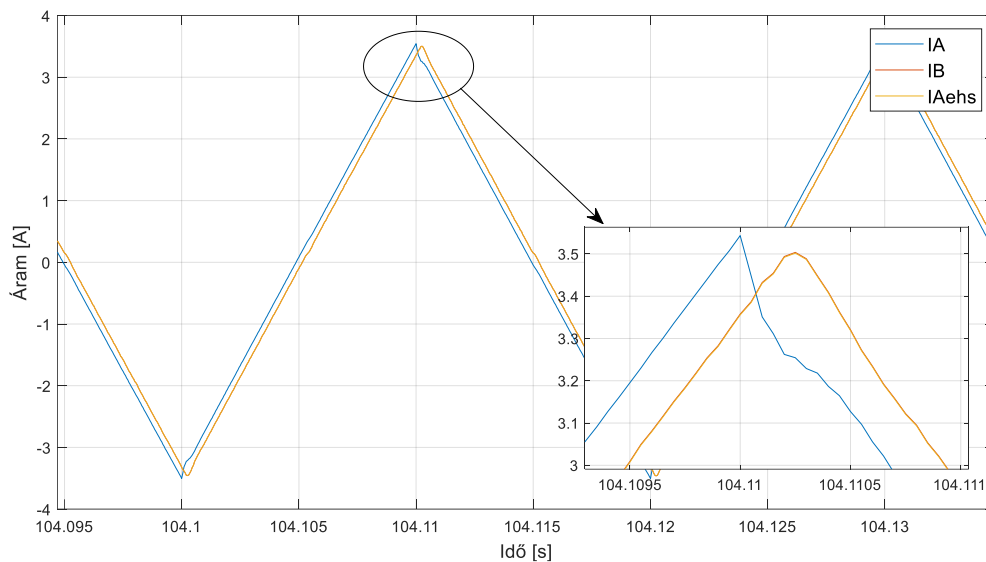


31. ábra: Áram jelalakok TLM módszer esetén (háromszögjel)

A többszintű koncepció egyaránt alkalmaz ITM és TLM algoritmust, ezért a simítás itt is jelentkezett, de kisebb mértékben. A feszültség jelalakokat a 32. ábra, az áram jelalakokat a 33. ábra szemlélteti. Továbbá megfigyelhető volt, hogy a mérési zajokra való érzékenysége a módszernek jelentősen kisebb, mint a TLM algoritmusé.

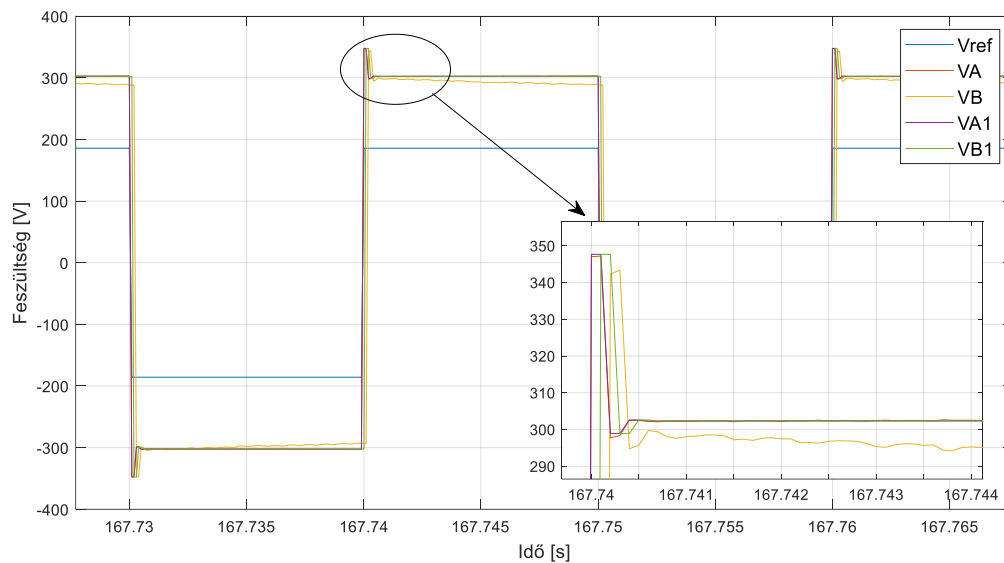


32. ábra: Feszültség jelalakok többszintű interfész esetén (háromszögjel)



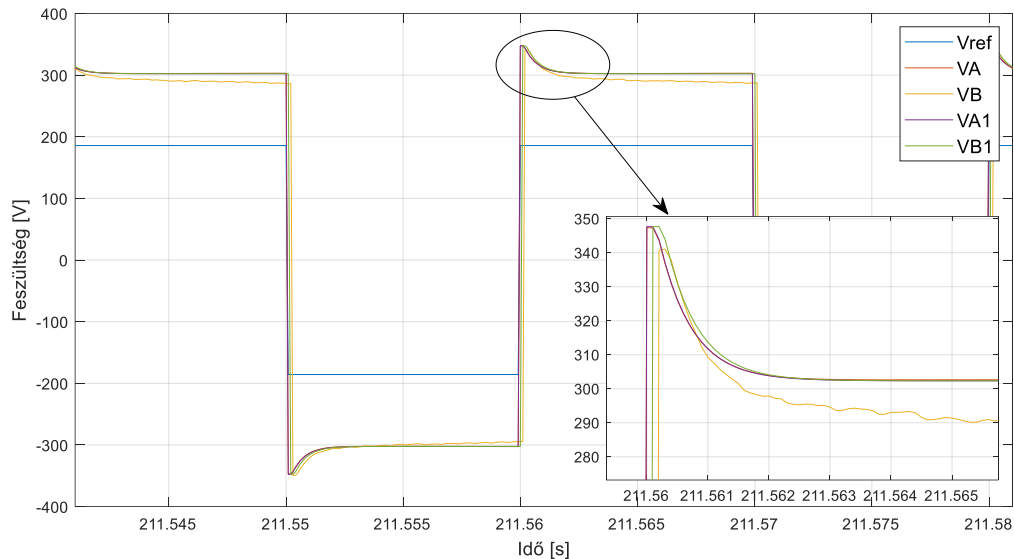
33. ábra: Áram jelalakok többszintű interfész esetén (háromszögjel)

Négyszögjel esetében egyik algoritmus sem volt képes torzítás nélkül átvinni a jelet, ennek fő oka, hogy egy végtelen meredekségű ugrást tartalmaz, a négyszögjel frekvenciaspektruma végtelen. A normál ITM módszer esetén a feszültségeket a 34. ábra szemlélteti. Látható, hogy a jelváltozásoknál túllövés tapasztalható, amely egyben eléri a teljesítményerősítő maximális kimeneti szintjét.



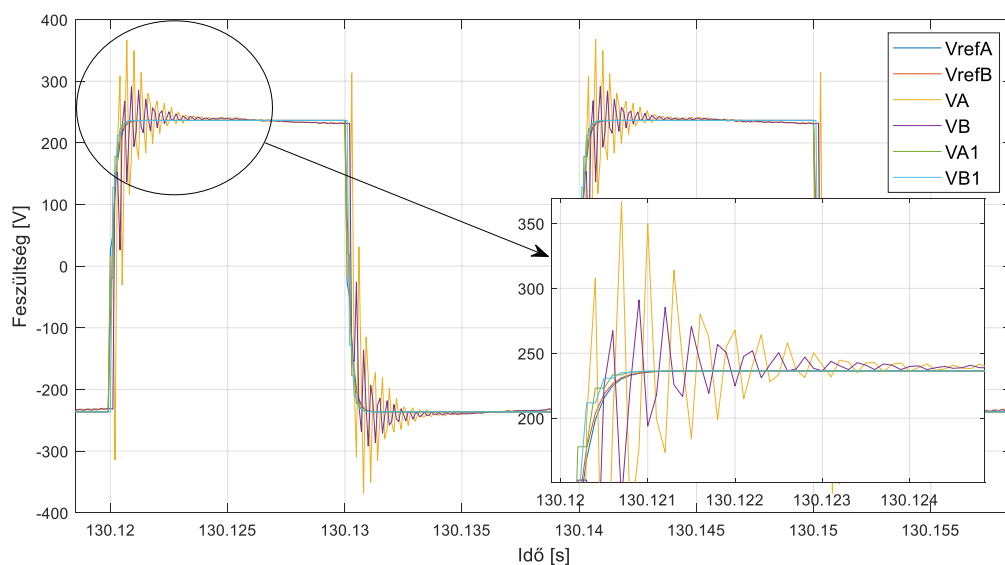
34. ábra: Feszültségjelek normál ITM algoritmus esetén (négyszögjel)

Aluláteresztő szűrővel és fizikai induktivitással kiegészített esetben a négyszögjel feszültség jelalakja a 35. ábra szerinti. Megfigyelhető, hogy a túllövés csökkent, a tranziens lecsengését az aluláteresztő szűrő időállandója határozza meg.



35. ábra: Feszültség jelalakok aluláteresztő szűrővel kiegészített ITM esetén (négyyszögjel)

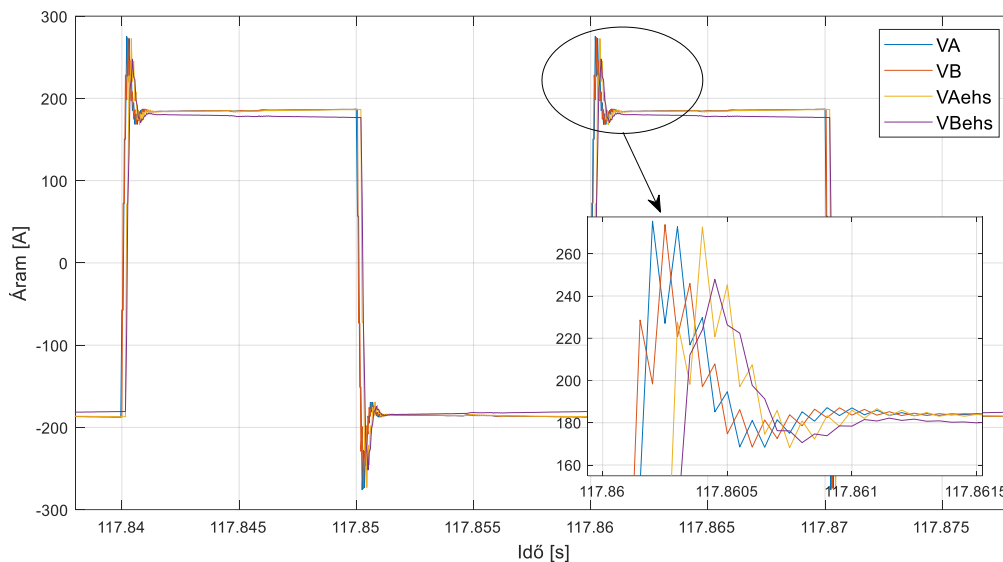
A négyyszögjellel vizsgált TLM algoritmus feszültség jelalakját a 36. ábra szemlélteti. A kapcsolási referencia esetén a négyyszögjel jelváltozásait a távvezeték modell simítja. A referencia modell esetében az ideális interfész megvalósítása szintén simítja a négyyszögjel jelváltozásait, viszont a befutási idő miatt ez lépcsős módon történik. A valós szimulációnál a jelváltozás túl- és alullövések sorozataként áll be. A virtuális oldalon a feszültség értéke nagyobb túllövést produkált, mint a valós oldal feszültsége. A feszültség beáll a végértékre a tranzien্স lecsillapodását követően. A négyyszögjel torzításmentes jelátvittele nem valósult meg, a végtelen frekvenciaspektrum nagyfrekvenciás komponenseire érzékeny a módszer.



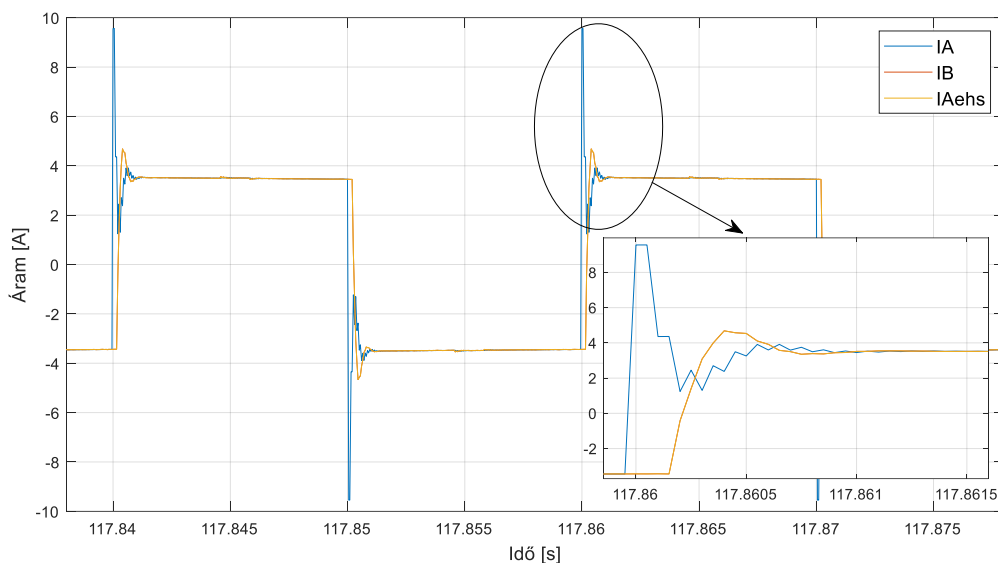
36. ábra: Feszültség jelalakok TLM módszer esetén (négyyszögjel)

A többszintű interfész négyyszögjellel történő vizsgálatának feszültség jelalakját a 37. ábra szemlélteti. Látható, hogy a TLM interfész esetéhez hasonlóan alakulnak a jelalakok, de a TLM szoftveres

megvalósítása miatt nincs jelentős túl- és alullövés a jelben. Az áram jelalakokat a 38. ábra szemlélteti, a virtuális oldalon több mint kétszeres túllövés alakul ki, a valós oldal árama viszont minimális túllövéssel beáll a stacioner értékre. A vizsgálat eredményeiből látható, hogy a többszintű interfésszel sikerült kiküszöbölni a TLM mérési zajokra való érzékenységet.



37. ábra: Feszültség jelalakok a többszintű interfész esetén (négyyszögjel)



38. ábra: Áram jelalakok a többszintű interfész esetén (négyyszögjel)

4.3.2 Amplitúdóhiba

Az amplitúdóhibát a virtuális és valós oldali feszültségek közti eltérésekből határoztam meg. A méréseket mindkét frekvenciájú szinuszzel elvégeztem (kivéve a dq-transzformációs ITM algoritmusnál), ezzel következtetve az interfész algoritmusok átvitelének frekvenciafüggő viselkedésére. Az eredményeket a 8. táblázat tartalmazza. Az eltérés abszolút értéke a valós oldalhoz viszonyítva lett kifejezve.

- Az ITM algoritmus verzióknál nagyjából azonos az amplitúdó eltérés mindkét frekvencián, a dq-transzformációs módszer a többi ITM-hez képest minimálisan kisebb hibával rendelkezik.
- A TLM algoritmusnál 50 Hz-es esetben kis eltérés tapasztalható, de 311 Hz-es esetben jelentősebb az amplitúdóhiba. Ennek magyarázata a távvezeték modell frekvenciafüggése, viselkedése megfelel a koncentrált paraméterű leképezésének, ami egy LCL-kör. Ez a nagyobb frekvenciás jelkomponenseket csillapítja.
- A többszintű interfész koncepcióban látható a frekvenciafüggő viselkedés, mivel a 311 Hz-es esetben 0,12%-kal nagyobb eltéréssel rendelkezik. Azonban látható, hogy a vizsgált interfész algoritmusok közül a többszintű módszer elenyésző hibával rendelkezik.

8. táblázat: Amplitúdóhiba az egyes módszerek esetén

Interfész algoritmus	Frekvencia [Hz]	Virtuális oldali feszültség effektív értéke [V]	Valós oldali feszültség effektív értéke [V]	Eltérés [%]
ITM	50	65,11	63,65	2,25
	311	66,22	64,75	2,21
ITM + aluláteresztő szűrő	50	66,02	64,56	2,22
	311	65,91	64,43	2,24
ITM + fizikai induktivitás	50	65,16	63,70	2,24
	311	66,62	65,14	2,23
ITM + dq-transzformáció	50	184,9	181,4	1,89
TLM	50	63,12	63,2	0,13
	311	61,78	66,18	7,13
Többszintű koncepció	50	64,83	64,71	0,19
	311	66,18	65,98	0,31

4.3.3 Késleltetés

Az interfész algoritmusok pontosságának utolsó összehasonlítási szempontja a késleltetés. A késleltetés meghatározásához háromszöjelet használtam, csúcsai közt pontosan meghatározható a késleltetés nagysága.

A normál és fizikai induktivitással kiegészített ITM algoritmus a vártak megfelelően, két szimulációs időlépcső késleltetéssel (200 μ s) rendelkezik. Az aluláteresztő szűrővel kiegészített ITM esetén a szimulációs időlépcső késleltetéséhez hozzá adódik a szűrő időállandója, így összesen 800 μ s a késleltetés. A dq-transzformációs ITM-nél nem volt tapasztalható késleltetés, amely a módszer elvének

megfelelő viselkedést jelent. Fontos megjegyezni, hogy a dq-transzformációs módszernél ugyan nem lesz a késleltetésből fakadó fázishiba, de a d és q komponensek nagyságának változása továbbra is késleltetett a valóshoz képest.

A TLM feszültség jelalakjában a vártnak megfelelő egy szimulációs időlépcsőnyi késleltetés mérhető, míg az áramjel késleltetése 550 μ s-nak adódott. Az áramjel késleltetése az átvitt teljesítmény függvényében változik, nem lesz állandó értékű. Ha a modellezett távvezeték természetes teljesítményével megegyező az átvitt teljesítmény, akkor nem lesz késleltetés a valós és virtuális oldali áram közt.

A többszintű interfész esetén az eltérő szimulációs időlépcső és a több típusú interfész miatt három részre bonthatóak a késleltetések:

- A TLM algoritmus feszültség jelalakjában egy szimulációs időlépcsőnyi késleltetés tapasztalható (50 μ s).
- Az áramjelben 250 μ s késleltetés mérhető.
- A belső ITM algoritmus az eHS solver és a CPU szimuláció közti definiált késleltetéssel rendelkezik: összesen három szimulációs időlépcsőnyi késleltetéssel (150 μ s). Az FPGA-ban futó ITM késleltetését az FPGA-CPU határon lévő ITM interfész elrejtí.

A fázishibát az áramjel késleltetésében mérhető késleltetés fogja jelenteni. Fontos megjegyezni, hogy a többszintű interfésznél a CPU szimulációs időlépcső fele akkorára lett választva, mint a többi interfész módszer esetén.

9. táblázat: Késleltetések a virtuális és valós oldal közt

Interfész algoritmus	Késleltetés [μ s]
ITM	200
ITM aluláteresztő szűrővel	800
ITM fizikai induktivitással	200
ITM dq-transzformációval	0
TLM	550
Többszintű koncepció	250

4.3.4 Teljesítményalapú vizsgálatok

A teljesítményalapú vizsgálat motivációja az interfészből származó hibák kompozit értékelése. A virtuális és a valós oldal közti eltérések jól láthatóak a látszólagos-, hatásos- és meddő teljesítmények összehasonlításával. A látszólagos teljesítménnyel a feszültség és áram nagyságának eltérésére, a hatásos és meddő komponensek segítségével a késleltetésekből adódó fázishibákra következtethetünk.

A vizsgálatokat a fentebbi fejezetekben használt impedanciákkal és 50 Hz-es szinuszzel végeztem. Az eredményeket a 10. táblázat foglalja össze. A valós oldalon tisztán rezisztív fogyasztó helyezkedik el, így a virtuális oldalon esetlegesen megjelenő meddő teljesítményt az interfész algoritmus okozza. A teljesítmény eltolódás analitikusan is számolható, erre például tekintsük a normál ITM algoritmus esetét:

- A $200\ \mu\text{s}$ késleltetés megfeleltethető $\varphi = \frac{200\ \mu\text{s}}{20\ \text{ms}/360^\circ} = 3,6^\circ$ fázishibának. Amennyiben kiszámítjuk a látszólagos teljesítményből és a fázishibából a meddő teljesítmény nagyságát $Q = S \cdot \sin\varphi = 974,64 \cdot \sin(3,6^\circ) = 61,2\ \text{VAr}$ adódna. A mért eredmény $47,87\ \text{VAr}$, amely nagyjából megegyezik az elvi számítás meddő teljesítményével, az eltérés eredeztethető az amplitúdóhibából és a mérési zajok okozta bizonytalanságból.

A fizikai induktivitással és az aluláteresztő szűrővel kiegészített ITM-nél ugyanezen módon adódik a meddő teljesítmény nagysága, amely arányos a késleltetéssel. A dq-transzformációs ITM-nél a koordinátatranszformáció eliminálja a fázishibát, amelyet a vizsgálati eredmények is alátámasztanak, tisztán valós komponensű a teljesítmény ebben az esetben.

A TLM algoritmusnál egy átvitt teljesítménytől függő meddő termelés vagy fogyasztás jelenség várható. Mivel a paramétereknek megfelelő távvezeték természetes teljesítménye nagyobb, mint az átvitt teljesítmény, így a virtuális oldalon meddő termelés jelentkezik. Ennek nagysága szintén számítható a késleltetésnek megfelelő fázistolásból.

A többszintű interfésznél négy részre osztható fel a teljesítményszámítással kapcsolatos pontok. A valós oldalon közel csak hatásos teljesítmény van jelen, amely az FPGA-ban implementált ITM virtuális oldalán csak kis mértékben tartalmaz meddő komponenst a kis késleltetés miatt. A CPU és az FPGA közti interfészt megvalósító ITM a teljesítmény arányok minimális módosulását okozza a három CPU szimulációs időlépcsőnyi késleltetés miatt. A virtuális oldalon a TLM algoritmus meddőt termel, amely egy része a belső ITM-nél mérhető meddő fogyasztást fedezi. Összesítve kis mértékben, de eltérő teljesítmény arányokat eredményezett a többszintű interfész.

10. táblázat: Fázishiba okozta hatásos és meddő teljesítmény arány vizsgálata

Interfész algoritmus		P [W]	Q [VAr]	S [VA]
Kapcsolási referencia (ITM)		970	0	970
ITM	Virtuális oldal	973,46	47,87	974,64
	Valós oldal	962,81	0	962,81
ITM aluláteresztő szűrővel	Virtuális oldal	958,07	230,65	985,44
	Valós oldal	990,31	0	990,31
ITM fizikai induktivitással	Virtuális oldal	973,12	53,07	974,56
	Valós oldal	962,60	4,08	962,61
ITM dq-transzformációval	Virtuális oldal	974,71	0	974,71
	Valós oldal	962,73	0	962,73
TLM	Virtuális oldal	955,06	-169,56	970,1
	Valós oldal	895,66	0	895,66
Többszintű koncepció	Virtuális oldal	969,65	-38,80	970,43
	TLM - ITM	969,65	39,30	970,44
	CPU - FPGA ITM	968,08	-6,51	968,10
	Valós oldal	968,23	-3,35	968,24

4.4 Eredmények összegzése

Összegezve az interfész algoritmusok eredményeit az ITM és a TLM alap interfészek számos előnnyel és hátránnyal is rendelkeznek. A többszintű koncepcióval ezen előnyöket sikerült egyesíteni, míg a hátrányok nagy részét sikerült eliminálni.

Stabilitás szempontból az ITM impedanciafüggő stabilitási feltétele érvényesült. A kiegészítő módszerekkel a stabilitási határt sikerült kiterjeszteni, aluláteresztő szűrő és dq-transzformáció alkalmazásával nagyobb, míg fizikai induktivitással kisebb mértékben. Ezzel ellentétben a TLM algoritmus mindig stabil tartományban tudott maradni. Tranziens stabilitás vizsgálatok a normál ITM és a TLM algoritmus nagyjából azonos eredménnyel szolgált, de más-más okból fakadóan. Míg a normál ITM algoritmus a stabilitási határon üzemelés miatt okozott lecsengő tranziens komponenst, a TLM algoritmus a hullámegyenleteken alapuló működés (sorozatos hullámindítások) miatt hozta ezen eredményt. A többszintű interfész koncepcióval a stabilitási határ az előrevetített elméleti határoknak megfelelően alakult, így nagyobb stabilitási határ érhető el, mint az ITM eseteiben, továbbá bizonyított, hogy a mögöttes hálózat impedanciájától független a stabilitás feltétele. A tranziens vizsgálat során megállapítható, hogy a többi interfész algoritmushoz képest a bekapcsolási tranziens alig eredményezett látható eltérést az 50 Hz-es szinuszelhez képest.

Pontosság tekintetében az alap interfészek közül az ITM módszerek nagyjából azonos hibával rendelkeztek mindkét frekvenciával történő vizsgálat esetén. A TLM 50 Hz-es esetben kisebb hibát produkált, mint az ITM módszerek, azonban a 311Hz-es szinuszjel esetén a hiba jelentősen megnőtt. Ezzel láthatóvá vált, hogy a TLM kis frekvenciákon elfogadható pontossággal képes működni (amennyiben a karakterisztikus impedanciából fakadó hibát minimalizáljuk), azonban nagyobb frekvenciák esetén jelentősen csökken a pontossága. A többszintű interfész mindkét frekvencia esetén jelentősen kisebb hibát eredményezett, mint az ITM és TLM algoritmusok. Látható a frekvenciafüggő viselkedés, azonban csak kis mértékben nőtt a hiba a 311 Hz-es esetben.

A jelátvitel alakhűségét mindegyik vizsgálójel esetén egyik alap interfész módszer sem tudta megfelelően teljesíteni. A normál ITM algoritmus rossz mutatókkal bírt a nagyfrekvenciás komponenseket tartalmazó jelek esetében. A kiegészítő módszerek ezt kiküszöbölték, eltávolították a nagyfrekvenciás komponenseket, de így torzult a jelforma. A TLM esetén az átvitel alakhűsége közelítően azonos az ITM aluláteresztő szűrővel kiegészített verziójával. A többszintű interfész a szinuszjelekben nem okozott torzítást, a háromszögjelben minimális simító hatás tapasztalható, amely a belső TLM algoritmusból adódik. A négyszögjel esetén jelentősen javult az átvitel mind az ITM, mind a TLM algoritmusokhoz képest.

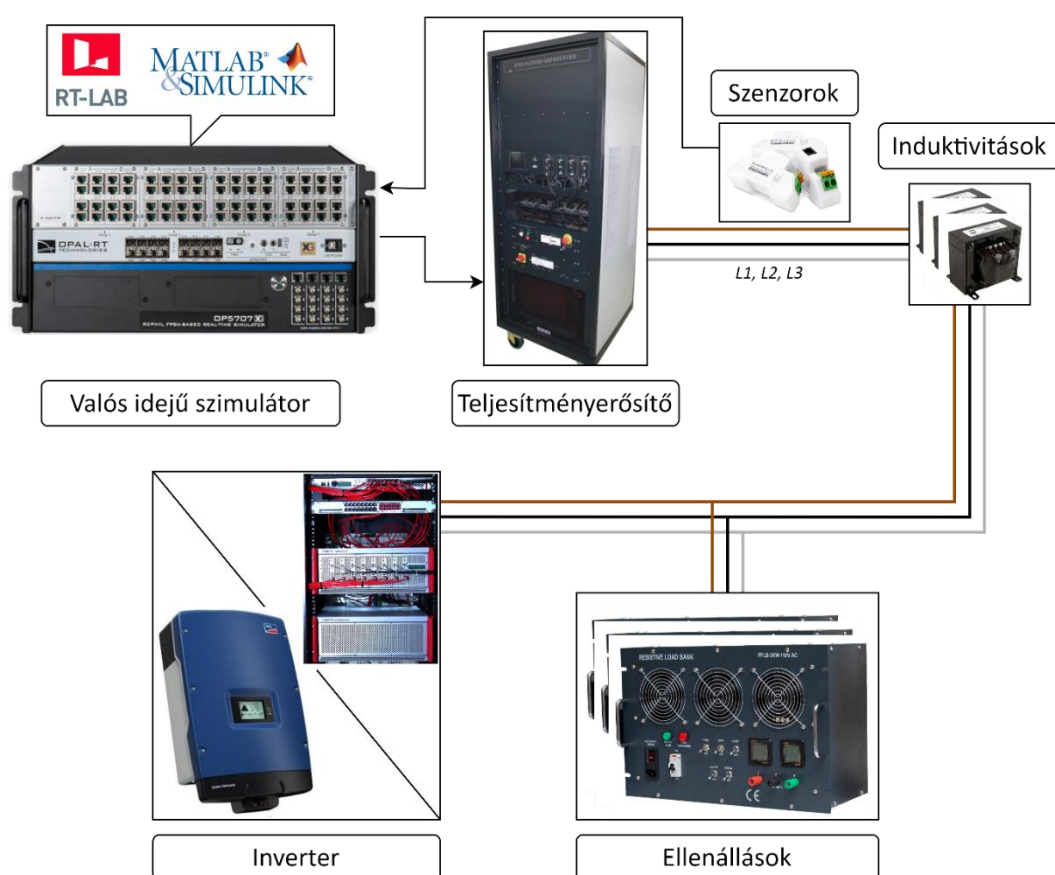
Teljesítmények vizsgálata során az ITM algoritmus a késleltetésből adódó fázishibának megfelelően módosítja a virtuális és valós oldal hatásos-meddő teljesítmény arányát. Az ITM kiegészítő módszerek közül az aluláteresztő szűrő tovább növeli a teljesítmény eltérést. Megoldást jelent a dq-transzformációs módszer erre a problémára, teljesen kiküszöbölve a fázishibát. A TLM interfész a reprezentált távvezeték jellegével azonosan és az átvitt teljesítménytől függően befolyásolja a virtuális oldalon mérhető meddő teljesítmény nagyságát. A többszintű interfész teljesítményalapú viselkedése megfelel az elvártaknak, a TLM és az ITM algoritmusok szuperponált viselkedése tapasztalható. A teljesítmény eltolódás mértéke nagyjából azonos nagyságú az ITM algoritmusnál tapasztalt eredménnyel.

Összefoglalva a három konstrukció eredményeit látható mértékű előrelépést sikerült elérni a többszintű interfész koncepcióval. A CPU alapon megvalósított alap interfész algoritmusok előnyeit sikerült egyesíteni és kihasználni a kis időlépcsős FPGA szimuláció nyújtotta előnyöket. Mind stabilitás (állandósult és tranziens állapotban), mind pontosság területén jobb eredményeket produkált a kidolgozott módszer, mint az alap interfész algoritmusok. A többszintű koncepció paramétereinek további finomításával az adott szimulációhoz hangolható az interfész algoritmus működése, ezzel egy újabb szabadsági fokot nyújtva a PHIL keretrendszerben.

5 Teljesítményelektronikai eszközök tesztelése a többszintű interfész koncepcióval

Az elkészített újszerű, többszintű interfész további validálását valós felhasználási környezetben végeztem teljesítményelektronikai berendezések PHIL szimulációjával. A laboratóriumunkban rendelkezésre álló, kereskedelmi forgalomban is kapható SMA háromfázisú HMKE inverter és egy virtuális szinkrongép alapú grid-forming inverter prototípus tesztelését végeztem el.

A mérési elrendezést a 39. ábra szemlélteti. A blokkvázlat alapját az összehasonlító mérések elrendezése alkotja, amely kiegészült soros induktivitásokkal és párhuzamosan kapcsolódó ellenállásokkal. Az induktivitások csak opcionálisan kapnak helyet az elrendezésben, amikor a mögöttes hálózat modell reaktív része a valóságban leképezett. Az ellenállások biztonsági szerepet töltenek be, ha a teljesítményerősítő védelme lekapcsolja a kimenetet, akkor az inverter oldalon lévő áramok ezeken keresztül tudnak zárulni, míg az inverter beépített védelmei lekapcsolnak. Ezen párhuzamos ellenállásokat nagynak választottam, hogy a szimulációt kevésbé befolyásolja ($211,6\ \Omega$). Az interfész algoritmust befolyásoló paraméterek (szimulációs időlépcsők, karakterisztikus impedancia) megegyezők az összehasonlító méréseknél használt értékekkel.



39. ábra: Teljesítményelektronikai készülékek tesztelési elrendezése

A mérések összehasonlíthatósága végett mindkét invertert azonos mögöttes hálózati paraméterekkel teszteltem, első esetben a mögöttes hálózat reaktív részét az induktivitások adták, második esetben a szimulációban kapott helyet a mögöttes impedancia valós és képzetes része is. Ezzel vizsgálható interfész algoritmus szempontból, hogy tisztán rezisztív mögöttes hálózat vagy reaktív komponenssel rendelkező mögöttes hálózat esetén hasonló eredményeket produkál-e. A hálózati paramétereket a 11. táblázat tartalmazza.

11. táblázat: Mögöttes hálózat paraméterei

Paraméter	Érték
Zárlati teljesítmény	500 kVA
Névleges feszültség	400 V
R/X arány	1
R	0.2244 Ω
L	0.7143 mH

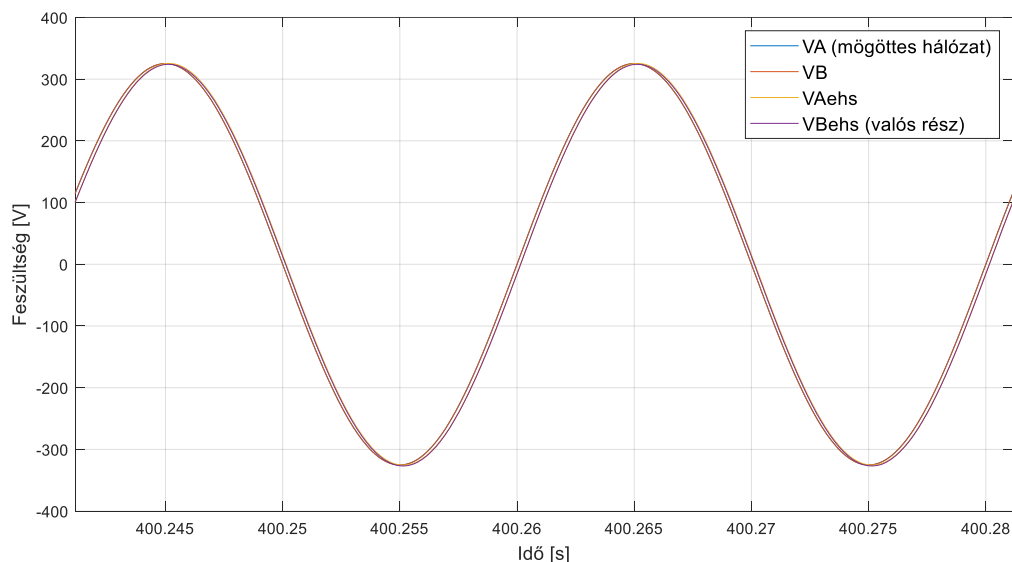
A tesztelt inverterek kapcsolóüzemű működése és a berendezések kimeneti szűrőkörének tökéletlenségei miatt a tapasztalható jelalakok torzítottak és számos 50 Hz-nél nagyobb frekvenciájú jelkomponenst tartalmaztak. A többszintű interfész belső (CPU és FPGA közti) ITM interfésze instabillá vált a nagyfrekvenciás komponensek hatására, ezért az FPGA-ból való áram visszacsatolásban aluláteresztő szűrőt helyeztem el ezen frekvenciák kiszűrése érdekében. A fizikai induktivitással leképezett reaktív rész esetén 600 μ s-os, míg a szimulációban elhelyezett reaktív komponens esetén 1 ms-os időállandójú szűrőt alkalmaztam. Az aluláteresztő szűrővel sikerült stabil tartományban maradva elvégezni a szimulációkat, azonban fontos kiemelni, hogy az interfész koncepció összehasonlító méréseknél látható kiemelkedő eredményein rontani fog az aluláteresztő szűrő okozta fázis és amplitúdóhiba.

5.1 SMA SUNNY TRIPOWER 5000TL inverter

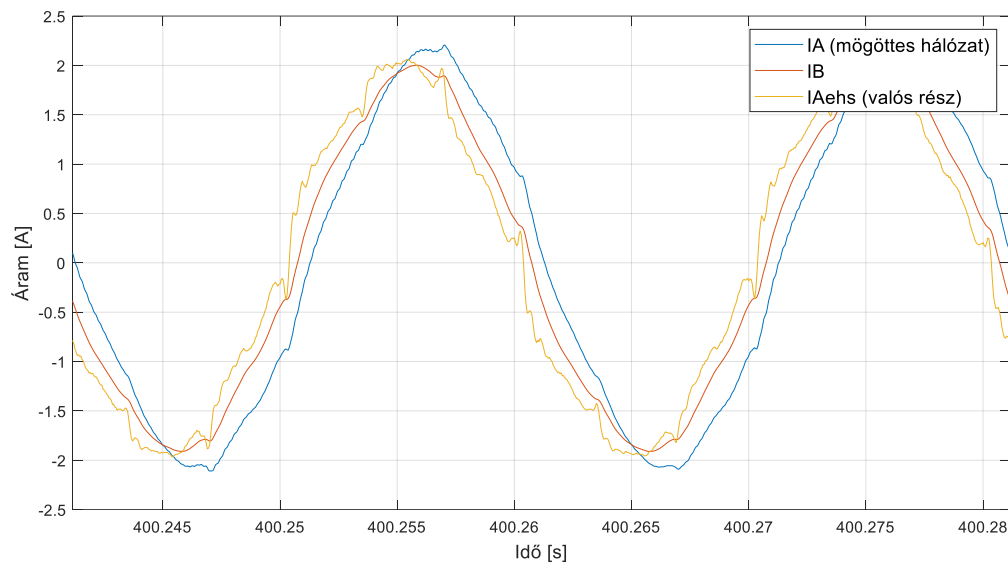
Az SMA Sunny Tripower 5000TL inverter egy kereskedelmi forgalomban kapható, háromfázisú, 5 kVA névleges teljesítményű, napelemes termeléshez használt HMKE inverter. A tesztelés folyamán az inverter DC tápellátása egy Cinergia GE+ tápegységgel biztosított, amely képes napelemes rendszer feszültség-áram karakterisztikájának emulálására, így online paramétereként állítható az inverter által termelt teljesítményt.

A tesztelés során 1750 W termelést állítottam be. Így várhatóan a teljesítményerősítő irányába 1000 W teljesítmény fog folyni és a párhuzamos ellenállások fázisonként 250 W-ot disszipálnak. Két szimulációt végeztem; első esetben a mögöttes hálózat reaktív része induktivitásokkal megvalósított, második

esetben a szimulációban kapott helyet a reaktív komponens. A feszültség és áram jelalakok hasonlóak voltak a két esetben, a feszültség- és áram jelalakokat a 40. ábra és a 41. ábra szemlélteti. A feszültségek közel fedik egymást, nem tapasztalható jelentős eltérés köztük. Az áram jelalakok viszont nagyobb eltérést mutattak, a valós oldali áram jelalak az inverter kapcsolóüzemű működésének és szűrőkörének megfelelően torzított, ezt az aluláteresztő szűrő simítja, majd ezen simított áramérték csatolódik vissza mögöttes hálózat (virtuális oldal) irányába.



40. ábra: SMA inverter feszültség jelalakok



41. ábra: SMA inverter áram jelalakok

A két szimulációs esetben a teljesítményalapú összehasonlítást is elvégeztem. Az eredményeket a 12. táblázat szemlélteti. Megfigyelhető, hogy mindkét esetben a valós oldalon szinte nulla meddő teljesítményt táplált be az inverter, azonban az aluláteresztő szűrő hatására fázistolás és teljesítmény eltolódás jelentkezett a TLM-ITM határán. Továbbá a TLM algoritmus átvitt teljesítmény függő fázistolása további meddő teljesítmény eltérést eredményezett. A hatásos teljesítményekben kevésbé

volt tapasztalható az eltérés, itt a kiszűrt jelkomponensek teljesítményével csökkent a hatásos teljesítmény a virtuális oldal irányába. A reaktív rész elhelyezésének függvényében minimálisan eltérő eredményeket kaptam, amely eltérés a különböző időállandójú aluláteresztő szűrőből adódik, a szimulációban leképezett reaktív rész esetén nagyobb fázistolást és csillapítást is eredményezett az 1 ms időállandójú szűrő.

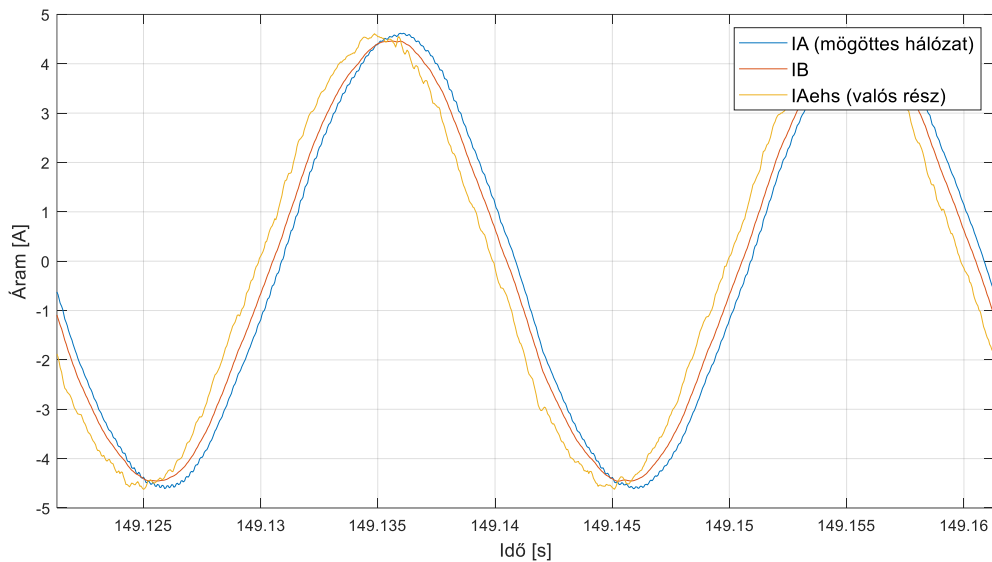
12. táblázat: SMA inverter teljesítmények

		P [W]	Q [Var]	S [VA]
Reaktív rész induktivitással	Virtuális oldal	-931,18	-499,63	1034,10
	TLM - ITM	-931,18	-201,35	952,70
	CPU - FPGA ITM	-971,45	20,23	971,66
	Valós oldal	-971,28	16,69	971,43
Reaktív rész szimulációban	Virtuális oldal	-871,87	-552,29	1032,10
	TLM - ITM	-871,87	-303,57	923,20
	CPU - FPGA ITM	-969,72	16,55	969,87
	Valós oldal	-969,55	13,10	969,63

5.2 Virtuális szinkrongép alapú inverter prototípus

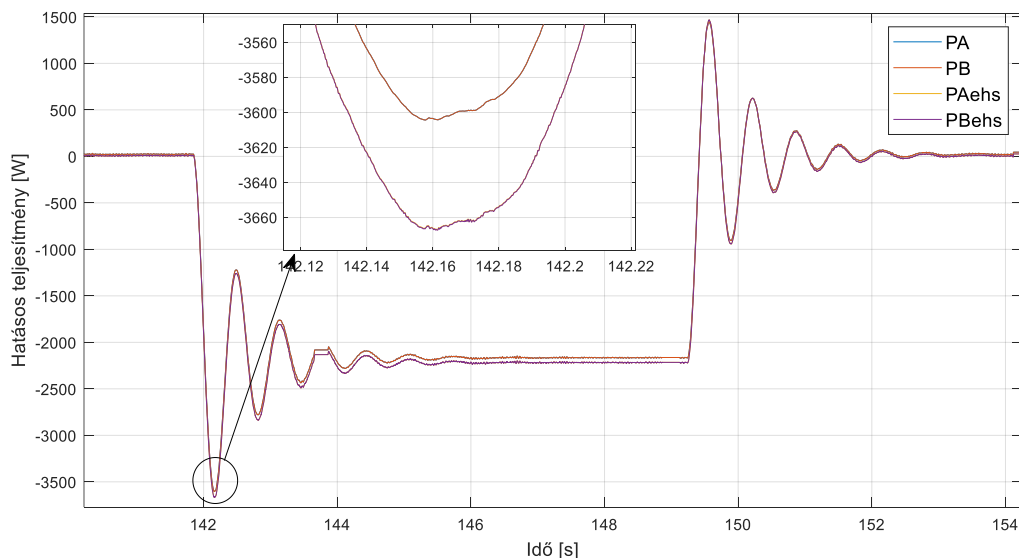
A második tesztelt teljesítményelektronikai eszköz egy prototípus inverter, amely szabályozása a szinkrongép lengési egyenletén alapul, névleges teljesítménye 15 kVA. Az egyenáramú táplálást szintén a Cinergia GE+ berendezéssel biztosította. A méréseket azonos paraméterekkel végeztem, mint az SMA inverter esetén. A vizsgálat célja a teljesítmény alapjel egységugrásként való módosítása esetén vizsgálni a szabályozás tulajdonságait. Minkét mögöttes hálózat megvalósítással elvégeztem a szimulációkat, amelyekre nagyjából azonos jellegű eredmények adódtak, így csak az egyik eset ábráit ismertettem.

A feszültség jelalakok az SMA inverter méréséhez (40. ábra) hasonlóan alig mutattak eltérést, míg az áram jelalakokat a(z) 42. ábra szemlélteti. Az inverter kimeneti árama kevésbé torzult, mint az SMA inverter árama.

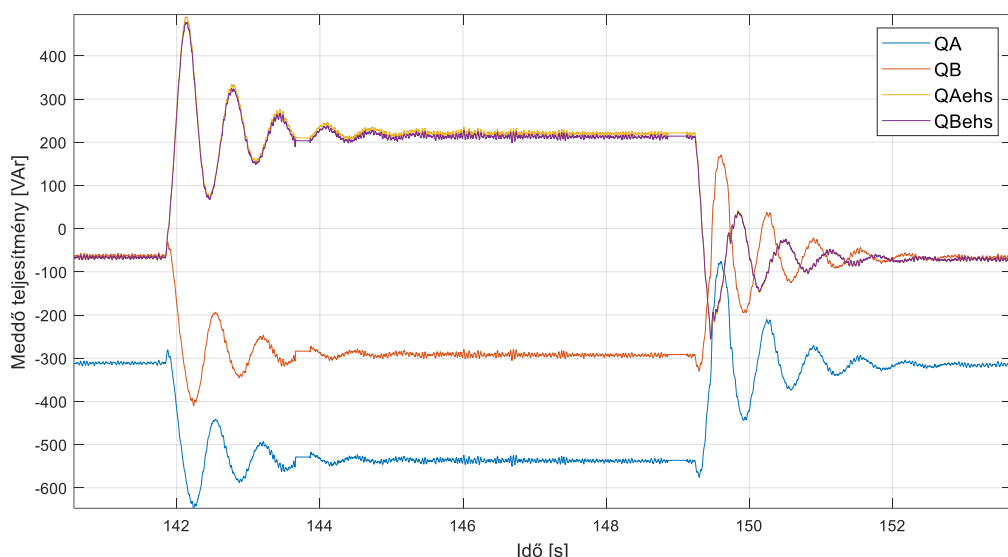


42. ábra: Prototípus inverter áram jelalakja

Az alapjel változtatás 750 W-ról indult, amely fedezte a párhuzamos ellenállások által disszipált teljesítményt. Ezután 3000 W-ra, egységugrásként növeltem az alapjelet, majd kis idő elteltével visszaállítottam 750 W-ra. A hatásos teljesítmény időbeli változását a 43. ábra, míg a meddő teljesítmény változását a 44. ábra szemlélteti. A hatásos teljesítmény görbén látható az alapjel változás során bekövetkező, lengési egyenlet paramétereinek megfelelően alakuló betáplált teljesítmény, amely az állandósult állapotot néhány másodperces tranzienst követően éri el. Interfész algoritmus szempontból megfigyelhető, hogy a virtuális és valós oldal hatásos teljesítménye még a csúcserő körül is kis eltéréssel rendelkezik. A meddő teljesítményeket mutató ábrát megnézve látható, hogy a valós oldalon az alapjel növelést követően kb. 200 VAR meddő teljesítményt fogyaszt az inverter, azonban ez az aluláteresztő szűrő és a TLM algoritmus fázistoló hatása miatt negatív előjellel és eltérő értékkel jelentkezik a virtuális oldalon.



43. ábra: Hatásos teljesítmény változása



44. ábra: Meddő teljesítmény változása

A 3000 W teljesítmény alapjel esetén mért teljesítményeket a 13. táblázat részletezi. A két szimulációs esetben a meddő teljesítmények az eltérő időállandójú aluláteresztő szűrő miatt térnek el, a további eredmények konzekvenciái azonosak az SMA inverter mérési eredményeinél leírtakkal.

13. táblázat: Prototípus inverter teljesítmények

		P [W]	Q [VAr]	S [VA]
Reaktív rész induktivitással	Virtuális oldal	-2167,10	-536,72	2232,60
	TLM - ITM	-2167,10	-291,86	2186,60
	CPU - FPGA ITM	-2218,8	221,53	2229,80
	Valós oldal	-2218,9	213,83	2229,10
Reaktív rész szimulációban	Virtuális oldal	-2061,10	-759,18	2196,40
	TLM - ITM	-2061,10	-513,55	2124,10
	CPU - FPGA ITM	-2218,30	239,15	2231,10
	Valós oldal	-2218,40	231,45	2230,40

5.3 Eredmények összegzése

A fentebb látható eredmények alapján a teljesítményelektronikai berendezések PHIL szimulációja számos nehézséggel rendelkezik egy teljesen rezisztív virtuális és valós impedanciával végzett szimulációhoz képest. Az elsőszámú probléma a berendezés visszamért áramának jelalakja, amely a kilohertzes nagyságrendben is tartalmaz frekvenciakomponenseket, ezek a belső ITM algoritmus stabilitására erőteljes hatással vannak. Ennek kiküszöbölésére aluláteresztő szűrőt használtam az egyszerűsége végett, de a relatíve nagy időállandó miatt a visszacsatolt áramjelben fázishibát és csillapítást is okozott, a teljesítményeltolódás jelensége erőteljesen érvényesült. Ahogyan azt várható volt, a TLM algoritmus átvitt teljesítmény függő meddő teljesítmény termelése/fogyasztása szintén

jelentkezett. Mindezek ellenére a hatásos és látszólagos teljesítményekben kis eltéréseket tapasztaltam és a teljesítmény alapjel hirtelen változtatására kialakuló tranziens vizsgálatát megfelelően el tudtam végezni az interfész algoritmussal.

6 Összefoglalás, továbbfejlesztési lehetőségek, konklúzió

A dolgozat első felében a PHIL szimulációs keretrendszert és a nemzetközi szakirodalomban megtalálható interfész algoritmusokat mutattam be. Ezen irodalomkutatás alapján két interfész algoritmust választottam ki, amelyeket mélyebben ismertettem, majd implementáltam valós szimulációs környezetben. Az algoritmusok rendelkeztek számos előnnyel és hátránnyal, ezért próbáltam olyan megoldásokat keresni, amelyek segítségével az előnyök minél nagyobb mértékben egyesíthetőek és a hátrányok kiküszöbölhetőek. A szimulációs keretrendszerben rendelkezésre álló lehetőségek kiaknázása és a két algoritmus előnyeinek egyesítésére létrehoztam egy újszerű többszintű interfész koncepciót, amely elméleti vizsgálatai alapján stabilitás és pontosság szempontjából is jobb tulajdonságokkal bír. Ennek implementációját részletesen ismertettem, köztük a CPU és FPGA alapú szimulációk lehetőségeire is rámutatva.

A dolgozat második felében az implementált algoritmusokat vizsgáltam valós PHIL körülmények közt. Kidolgoztam egy tesztelési szekvenciát, amely több szempontból is összehasonlíthatóvá teszi az interfész algoritmusokat. Ez alapján az eredmények rövid összefoglalása az alábbi:

- Az ITM egyszerű megoldás, amely felhasználhatósága tovább javítható a kiegészítő és kompenzáló módszerekkel. Az impedanciafüggő stabilitás és a késleltetés okozta fázishiba jelentős hátránnyá válhat. A fázishiba a teljesítményarányok eltolódását is okozta. A tranziensekre jelentős érzékenységet mutatott a CPU alapú implementáció.
- A TLM algoritmus megvalósításában a valós oldalon elhelyezett fizikai ellenállás teljesítményvesztést okoz és csökkenti a teljesítményerősítő kivezérlési tartományát. A zajérzékenység befolyásolta a jelátvitel minőségét és a nagyobb frekvenciás jelek esetén nagyobb amplitúdóhibát tapasztaltam. Azonban a távvezeték modell ideális megvalósítása mindig stabil, így szoftveres környezetben jól alkalmazható.
- A többszintű interfész koncepció célja az ITM és TLM algoritmusok és a CPU és FPGA alapú szimuláció előnyeinek ötvözése. Az összehasonlító mérések eredménye azt mutatta, hogy a többszintű koncepció stabilitás és jelátvitel szempontból is az elméleti elgondolásoknak megfelelően működik. Nagyobb stabilitási tartományt sikerült elérni, mint az ITM algoritmus esetén és pontossága felülmúlta az alap interfész algoritmusokat. A TLM algoritmusból származó átvitt teljesítmény függő meddő teljesítmény termelés/fogyasztás jelensége itt is észlelhető, azonban ez csak minimálisan befolyásolta a teljesítmények arányát.

Az összehasonlító méréseket követően két teljesítményelektronikai eszköz PHIL szimulációját végeztem el az újszerű többszintű interfész segítségével. A kapcsolóüzemű berendezések árama

jelentős nagyfrekvenciás jelkomponenseket tartalmazott, amely hatására a belső ITM algoritmus instabillá vált. Ennek megoldására aluláteresztő szűrőt illesztettem, amely fázishibát okozott a visszacsatolt áramjelben. A teljesítmény arányok a fázishiba hatására eltolódtak. Két mögöttes hálózat megvalósítást is teszteltem, egyik esetben a mögöttes hálózat reaktív komponensét induktivitásokkal valósítottam meg, míg a másik esetben a szimuláción belül kapott helyet. A két eset közel ekvivalens eredményekkel szolgált (ha figyelembe vesszük az eltérő aluláteresztő szűrő időállandókat). Továbbá a mérések eredményeinek elemzésével újabb fejlesztési irányvonal nyílt, amely kiegészítésekkel a jövőben az interfész algoritmus jobban felkészíthető a teljesítményelektronikai eszközök szimulálására.

Továbbfejlesztési lehetőségek

A többszintű interfész koncepcióban a teljesítményelektronikai eszközök szimulálásánál észrevett fejlesztési lehetőségek megvalósításával egy univerzális interfész algoritmushoz közelítő módszert kaphatunk.

Ezen fejlesztési lehetőségek az alábbiak:

- A szoftveresen megvalósított TLM algoritmus paramétereinek precíz hangolása.
- A visszacsatolt áramjelben a nagyfrekvenciás komponensek más típusú szűrővel megvalósított kiszűrése vagy FPGA szimulációs részen az áramjel előfeldolgozása.
- Az Opal-RT eHS solverének következő generációs verziójának kipróbálása, amellyel több típusú solver (ART5 és Backward Euler) és kisebb időlépcső (90 ns) is elérhető.

Konklúzió

A PHIL szimulációs keretrendszerekben az interfész algoritmus helyes megválasztása és implementálása elengedhetetlen a stabil és pontos tesztek elvégzéséhez. Az alap interfész algoritmusokkal és hozzájuk tartozó kiegészítő módszerekkel a tesztesetekhez igazíthatjuk az interfészt, azonban minden elrendezéshez és paraméterkészlethez más-más konstrukcióra van szükség. Ez a gyors, iteratív fejlesztési folyamatokat nem teszi lehetővé. A dolgozatban bemutatott többszintű interfész koncepció a PHIL szimulációk szélesebb spektrumában alkalmazható, így közelítve az univerzális interfész elképzelést. A bevezetett módszer jobb stabilitási és pontossági eredményekkel rendelkezik, továbbá az állítható paraméterekkel tovább fokozhatóak a minőségi tulajdonságok. Az újszerű interfésszel lehetőség nyílt kereskedelmi forgalomban kapható és fejlesztés alatt álló prototípus teljesítményelektronikai berendezések tesztelésére. Ennek nyomán további fejlesztési lehetőségek adódtak, amelyekkel a későbbiekben még pontosabb és stabilabb szimulációs keretrendszer alakítható ki.

Irodalomjegyzék

- [1] J. Bélanger, P. Venne, and J.-N. Paquin, "The What, Where and Why of Real-Time Simulation," 2010.
- [2] T. Hatakeyama, A. Riccobono, and A. Monti, "Stability and accuracy analysis of power hardware in the loop system with different interface algorithms," in *2016 IEEE 17th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2016, pp. 1–8. doi: 10.1109/COMPEL.2016.7556671.
- [3] W. Ren, M. Steurer, and T. L. Baldwin, "Improve the Stability and the Accuracy of Power Hardware-in-the-Loop Simulation by Selecting Appropriate Interface Algorithms," in *IEEE Transactions on Industry Applications*, 2008, pp. 1286–1294. doi: 10.1109/TIA.2008.926240.
- [4] X. Wu and A. Monti, "Methods for partitioning the system and performance evaluation in power-hardware-in-the-loop simulations - Part I," in *IECON Proceedings (Industrial Electronics Conference)*, 2005, pp. 251–256. doi: 10.1109/IECON.2005.1568912.
- [5] S. Paran, C. S. Edrington, and B. Vural, "Investigation of HIL interfaces in nonlinear load studies," in *2012 North American Power Symposium, NAPS 2012*, 2012. doi: 10.1109/NAPS.2012.6336360.
- [6] J. Dolenc, A. Božiček, and B. Blažič, "Stability analysis of an Ideal-Transformer-Model interface algorithm," in *2019 7th International Youth Conference on Energy (IYCE)*, IEEE, 2019, pp. 1–6. doi: 10.1109/IYCE45807.2019.8991575.
- [7] G. Lauss, F. Lehfuß, A. Viehweider, and T. Strasser, "Power hardware in the loop simulation with feedback current filtering for electric systems," in *IECON Proceedings (Industrial Electronics Conference)*, 2011, pp. 3725–3730. doi: 10.1109/IECON.2011.6119915.
- [8] A. Markou, V. Kleftakis, P. Kotsampopoulos, and N. Hatziaargyriou, "Improving existing methods for stable and more accurate Power Hardware-in-the-Loop experiments," in *IEEE International Symposium on Industrial Electronics (ISIE)*, Institute of Electrical and Electronics Engineers Inc., Aug. 2017, pp. 496–502. doi: 10.1109/ISIE.2017.8001296.
- [9] A. Summers, J. Hernandez-Alvidrez, R. Darbali-Zamora, M. J. Reno, J. Johnson, and N. S. Gurule, "Comparison of Ideal Transformer Method and Damping Impedance Method for PV Power-Hardware-In-The-Loop Experiments," in *IEEE 46th Photovoltaic Specialists Conference (PVSC)*, IEEE, 2019, pp. 2989–2996. doi: 10.1109/PVSC40753.2019.8980690.

- [10] M. G. Kashani, H. Pulakhandam, S. Bhattacharya, F. Katiraei, and D. Kaiser, "Design considerations and test setup assessment for power hardware in the loop testing," in *2017 IEEE Industry Applications Society Annual Meeting*, 2017, pp. 1–8. doi: 10.1109/IAS.2017.8101770.
- [11] H.-J. Heo, C.-H. Park, and J.-M. Kim, "Modified Interface Algorithm of PHIL Simulator to Improve Harmonic Current Accuracy," in *IEEE PELS Workshop on Emerging Technologies: Wireless Power Transfer (WoW)*, 2020, pp. 304–308. doi: 10.1109/WoW47795.2020.9291318.
- [12] X. Zha, C. Yin, J. Sun, M. Huang, and Q. Li, "Improving the Stability and Accuracy of Power Hardware-in-the-Loop Simulation Using Virtual Impedance Method," *Energies (Basel)*, vol. 9, no. 11, 2016, doi: 10.3390/en9110974.
- [13] A. Castro, P. Zuniga, F. A. Uribe, and E. Barocio, "Phase compensation scheme to improve the accuracy of a power hardware-in-the-loop experiment based on a synchronous generator," in *2015 IEEE Eindhoven PowerTech*, 2015, pp. 1–6. doi: 10.1109/PTC.2015.7232517.
- [14] W. Ren, M. Steurer, and S. Woodruff, "Applying Controller and Power Hardware-in-the-Loop Simulation in Designing and Prototyping Apparatuses for Future All Electric Ship," in *2007 IEEE Electric Ship Technologies Symposium*, 2007, pp. 443–448. doi: 10.1109/ESTS.2007.372124.
- [15] B. Lundstrom and M. V. Salapaka, "Optimal Power Hardware-in-the-Loop Interfacing: Applying Modern Control for Design and Verification of High-Accuracy Interfaces," *IEEE Transactions on Industrial Electronics*, vol. 68, no. 11, pp. 10388–10399, Nov. 2021, doi: 10.1109/TIE.2020.3032918.
- [16] Z. Feng, R. Pena-Alzola, M. H. Syed, P. J. Norman, and G. M. Burt, "Adaptive Smith Predictor for Enhanced Stability of Power Hardware-in-the-Loop Setups," *IEEE Transactions on Industrial Electronics*, vol. 70, no. 10, pp. 10204–10214, Oct. 2023, doi: 10.1109/TIE.2022.3224196.
- [17] E. Guillo-Sansano, A. J. Roscoe, C. E. Jones, and G. M. Burt, "A new control method for the power interface in power hardware-in-the-loop simulation to compensate for the time delay," in *Proceedings of the Universities Power Engineering Conference (UPEC)*, IEEE Computer Society, Oct. 2014, pp. 1–5. doi: 10.1109/UPEC.2014.6934618.
- [18] E. Guillo-Sansano, A. J. Roscoe, and G. M. Burt, "Harmonic-by-harmonic time delay compensation method for PHIL simulation of low impedance power systems," in *2015 International Symposium on Smart Electric Distribution Systems and Technologies (EDST)*, 2015, pp. 560–565. doi: 10.1109/SEDST.2015.7315271.

- [19] B. Ahmed, A. Abdelgadir, N. A. Saied, and A. A. Karrar, "A Compensated Distributed-Parameter Line Decoupling Approach for Real Time Applications," *IEEE Trans Smart Grid*, vol. 12, no. 2, pp. 1761–1771, Mar. 2021, doi: 10.1109/TSG.2020.3033145.
- [20] X. Zhai *et al.*, "Multi-rate real-time simulation of modular multilevel converter for HVDC grids application," in *IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*, 2017, pp. 1325–1330. doi: 10.1109/IECON.2017.8216225.
- [21] G. F. Lauss, "Interfacing challenges in PHIL simulations for investigations on P-Q controls of grid connected generation units in electric power systems," *IFAC-PapersOnLine*, vol. 50, no. 1, pp. 10964–10970, Jul. 2017, doi: 10.1016/j.ifacol.2017.08.2468.
- [22] F. Ashrafidehkordi and G. De Carne, "Improved Accuracy of the Power Hardware-in-the-Loop Modeling using Multirate Discrete Domain," in *IEEE 13th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, 2022, pp. 1–5. doi: 10.1109/PEDG54999.2022.9923128.